

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-088140

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H02M 7/48

H02M 3/155

(21)Application number : 2001-276928

(71)Applicant : TDK CORP

(22)Date of filing : 12.09.2001

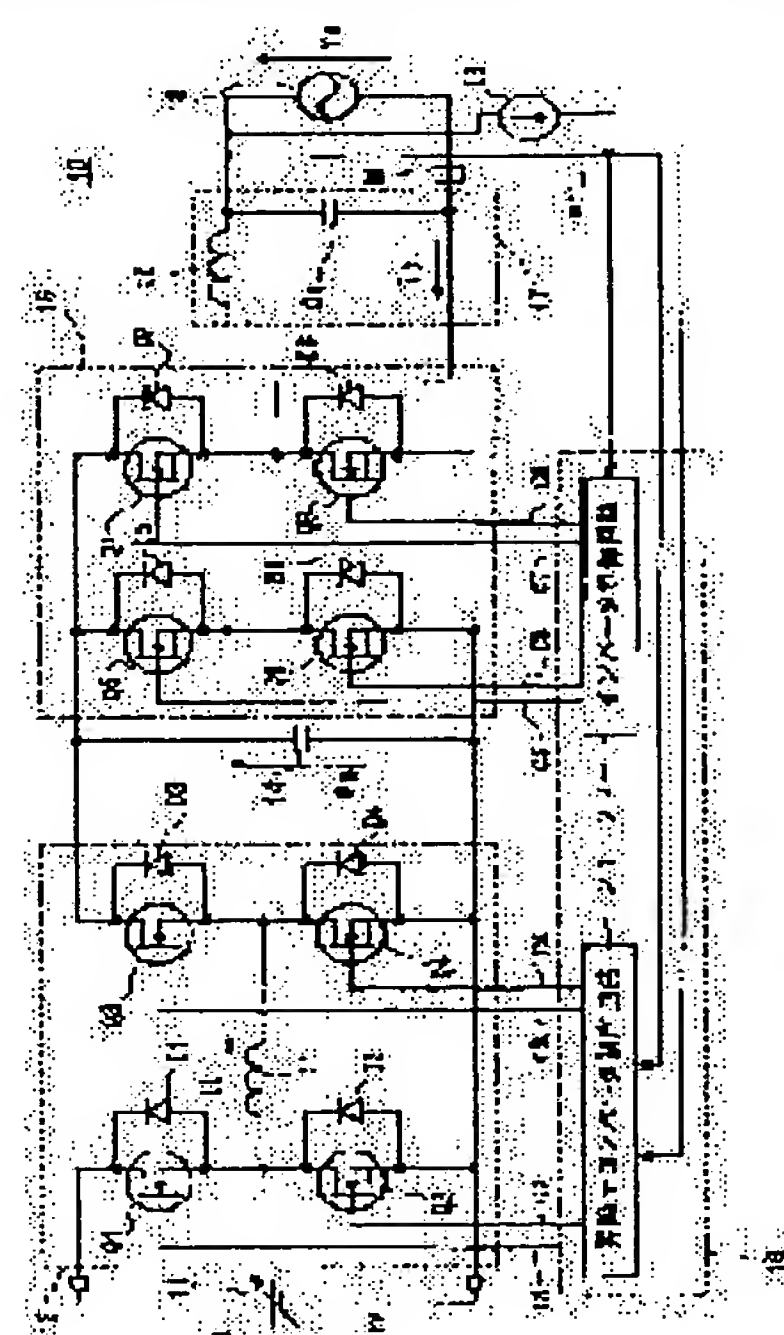
(72)Inventor : UEMATSU TAKESHI
TANAKA KATSUAKI

(54) STEP-UP/DOWN CONVERTER AND SYSTEM INTERCONNECTION INVERTER USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a step-up/down converter which can step up and step down the voltage through simplified control.

SOLUTION: This step-up/down converter is capable of converting a DC voltage 11 supplied across the input terminals to the ripple current and is composed of the first and second transistors Q1, Q2 connected in series across the input terminals, third and fourth transistors Q3, Q4 connected in series across the output terminals, a reactor L1 connected between a node of the first and second transistors Q1, Q2 and a node of the third and fourth transistors Q3, Q4, and a control circuit 16 for PWM control of arm consisting of the third and fourth transistors Q3, Q4 while the PWM drive of the arm consisting of the first and second transistors Q1, Q2. Accordingly, the step-up/down operations may be controlled easily by adequately setting the duties of these arms.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The 1st and 2nd transistors provided with the following by which said converter is connected in series to said DC power supply, The 3rd and 4th transistors connected in series between input edges of said inverter, Have a reactor connected between a node of said 1st and 2nd transistors, and a node of said 3rd and 4th transistors, and said control circuit, A system interconnection inverter carrying out the PWM drive of the arm which consists of said 3rd and 4th transistors carrying out the PWM drive of the arm which consists of said 1st and 2nd transistors.

A converter which is a system interconnection inverter which supplies electric power from DC power supply to either [at least] alternating current load or a system, and changes into pulsating flow direct current voltage supplied from said DC power supply.

An inverter which changes into exchange said pulsating flow supplied from said converter.

An intercondenser provided between said converter and said inverter.

A control circuit which controls operation of said converter.

[Claim 2]The system interconnection inverter according to claim 1, wherein said intercondenser consists of film capacitors.

[Claim 3]The system interconnection inverter according to claim 1 or 2, wherein capacity value of said intercondenser is several micro F – tens of micro F.

[Claim 4]When said direct current voltage is lower than an absolute value of voltage of said system, said control circuit, A system interconnection inverter given in any 1 paragraph of claims 1 thru/or 3 controlling said converter so that duty of said 1st transistor becomes larger than duty of said 3rd transistor.

[Claim 5]When said direct current voltage is higher than an absolute value of voltage of said system, said control circuit, A system interconnection inverter given in any 1 paragraph of claims 1 thru/or 4 controlling said converter so that duty of said 1st transistor becomes smaller than duty of said 3rd transistor.

[Claim 6]Said control circuit controls ON and OFF of said 1st and 2nd transistors by comparing the 1st control signal and subcarrier, A system interconnection inverter given in any 1 paragraph of claims 1 thru/or 5 controlling ON and OFF of said 3rd and 4th transistors by comparing the 2nd control signal and said subcarrier.

[Claim 7]The system interconnection inverter according to claim 6, wherein said 1st control signal is a sinusoidal wave substantially.

[Claim 8]The system interconnection inverter according to claim 6 or 7, wherein said 2nd control signal is a direct current wave substantially.

[Claim 9]A rise and fall pressure converter which changes into pulsating flow direct current voltage supplied between input edges, comprising:

The 1st and 2nd transistors connected in series between said input edges.

The 3rd and 4th transistors connected in series between outgoing ends.

A reactor connected between a node of said 1st and 2nd transistors, and a node of said 3rd and 4th transistors.

A control circuit which carries out the PWM drive of the arm which consists of said 3rd and 4th transistors while carrying out the PWM drive of the arm which consists of said 1st and 2nd transistors.

[Claim 10]The rise and fall pressure converter according to claim 9, wherein said control circuit controls said 1st [the] thru/or the 4th transistor so that duty of said 1st transistor becomes larger than duty of said 3rd transistor at the time of pressure-up operation.

[Claim 11]The rise and fall pressure converter according to claim 9 or 10, wherein said control circuit controls said 1st [the] thru/or the 4th transistor so that duty of said 1st transistor becomes smaller than duty of said 3rd transistor at the time of pressure-lowering operation.

[Claim 12]Said control circuit controls ON and OFF of said 1st and 2nd transistors by comparing the 1st control signal and subcarrier, A rise and fall pressure converter given in any 1 paragraph of claims 9 thru/or 11 controlling ON and OFF of said 3rd and 4th transistors by comparing the 2nd control signal and said subcarrier.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the rise and fall pressure converter which can, more particularly, perform pressure-up operation and pressure-lowering operation by easy control, and the system interconnection inverter using this about the system interconnection inverter which used a rise and fall pressure converter and this.

[0002]

[Description of the Prior Art]The system interconnection inverter is known as a circuit which links with a system conventionally the direct current power supplied from DC power supplies, such as a solar cell and a fuel cell, and is changed into alternating current power. As an example of a system interconnection inverter, it is indicated to JP,2000-152651,A.

[0003]Drawing 7 is a circuit diagram of the conventional system interconnection inverter indicated in the gazette.

[0004]As shown in drawing 7, the conventional system interconnection inverter indicated in the gazette, The pressure-up converter 2 which performs corrugating while carrying out pressure up of the direct current voltage supplied from the input power 1, It has the intermediate stage capacitor 3 which carries out smoothness of the output from a pressure-up converter, the inverter 4 which carries out corrugating of the output current I_o to a sine wave, the filter 5 which carries out smoothness of the output voltage, and the control circuit 6 which controls operation of the pressure-up converter 2 and the inverter 4.

In the state where the control circuit 6 has the voltage of the input power 1 lower than system voltage, While making the pressure-up converter 2 switch by high frequency, the inverter 4 is made to switch by a low frequency wave according to the polarity of system voltage, While stopping switching of the pressure-up converter 2, the inverter 4 is made to switch by high frequency in the state where the voltage of the input power 1 is higher than system voltage.

[0005]While pressure up and corrugating are performed by the pressure-up converter 2 by this in the state where the voltage of the input power 1 is lower than system voltage, corrugating will be performed by the inverter 4 in the state where the voltage of the input power 1 is higher than system voltage.

[0006]In the conventional system interconnection inverter shown in drawing 7, the output of the pressure-up converter 2 is a direct current, and since it is necessary to fully stabilize the voltage, very big capacity (about 5000 micro F) is required of the intermediate stage capacitor 3. For this reason, as this intermediate stage capacitor 3, an electrolytic condenser is generally used.

[0007]

[Problem(s) to be Solved by the Invention]However, generally the electrolytic condenser is large-sized, and moreover, since it is short-life compared with other capacitors, if such parts are used, the whole system interconnection inverter is not only enlarged, but the problem that reliability falls will arise. Here, in order to lengthen the life of an electrolytic condenser and to improve reliability, it is effective to use two or more electrolytic condensers in parallel, but the further enlargement will be brought about in this case.

[0008]In the conventional system interconnection inverter mentioned above, Since the operation (pressure-up operation) in the state where the voltage of the input power 1 is lower than system voltage differs from the operation (pressure-lowering operation) in the state where the voltage of the input power

1 is higher than system voltage, greatly, while control is complicated, The output wave which can be set for operation to change had a problem of being easy to produce disorder.

[0009]Therefore, the purpose of this invention is to provide the rise and fall pressure converter which can perform pressure-up operation and pressure-lowering operation by easy control, and the system interconnection inverter using this.

[0010]Other purposes of this invention are to provide the rise and fall pressure converter which can perform smoothly the change rate of pressure-up operation and pressure-lowering operation, and the system interconnection inverter using this.

[0011]The purpose of further others of this invention is to provide the system interconnection inverter which does not need to use an electrolytic condenser as an intermediate stage capacitor.

[0012]
[Means for Solving the Problem]A converter which changes into pulsating flow direct current voltage which the purpose that this invention starts is a system interconnection inverter which supplies electric power from DC power supply to either [at least] alternating current load or a system, and is supplied from said DC power supply, An inverter which changes into exchange said pulsating flow supplied from said converter, An intercondenser provided between said converter and said inverter, The 1st and 2nd transistors provided with a control circuit which controls operation of said converter by which said converter is connected in series to said DC power supply, The 3rd and 4th transistors connected in series between input edges of said inverter, Have the reactor connected between a node of said 1st and 2nd transistors, and a node of said 3rd and 4th transistors, and said control circuit, It is attained by system interconnection inverter carrying out the PWM drive of the arm which consists of said 3rd and 4th transistors, carrying out the PWM drive of the arm which consists of said 1st and 2nd transistors.

[0013]From carrying out the PWM drive of the arm which consists of the 3rd and 4th transistors according to this invention, carrying out the PWM drive of the arm which consists of the 1st and 2nd transistors. By setting up such duty appropriately, step-down-and-step-up operation can be performed easily, and a change rate of pressure-up operation and pressure-lowering operation can be performed further smoothly. According to this invention, since capacity value required of an intercondenser is small, it becomes possible to miniaturize size of the whole device.

[0014]Said intercondenser consists of film capacitors in a desirable embodiment of this invention.

[0015]According to the desirable embodiment of this invention, it becomes possible to improve the reliability of the whole device.

[0016]In a still more desirable embodiment of this invention, capacity value of said intercondenser is set as several micro F – tens of micro F.

[0017]In a desirable embodiment of this invention, when said direct current voltage is lower than an absolute value of voltage of said system, said control circuit controls said converter so that duty of said 1st transistor becomes larger than duty of said 3rd transistor.

[0018]In a still more desirable embodiment of this invention, when said direct current voltage is higher than an absolute value of voltage of said system, said control circuit controls said converter so that duty of said 1st transistor becomes smaller than duty of said 3rd transistor.

[0019]In a still more desirable embodiment of this invention, By comparing the 1st control signal and subcarrier, said control circuit controls ON and OFF of said 1st and 2nd transistors, and controls ON and OFF of said 3rd and 4th transistors by comparing the 2nd control signal and said subcarrier.

[0020]In a still more desirable embodiment of this invention, said 1st control signal is a sinusoidal wave substantially.

[0021]In a still more desirable embodiment of this invention, said 2nd control signal is a direct current wave substantially.

[0022]The 1st and 2nd transistors that said purpose of this invention is a rise and fall pressure converter which changes into pulsating flow again direct current voltage supplied between input edges, and were connected in series between said input edges, A reactor connected between the 3rd and 4th transistors connected in series between outgoing ends, and a node of said 1st and 2nd transistors and a node of said 3rd and 4th transistors, It is attained by rise and fall pressure converter having a control circuit which carries out the PWM drive of the arm which consists of said 3rd and 4th transistors, carrying out the PWM drive of the arm which consists of said 1st and 2nd transistors.

[0023]From carrying out the PWM drive of the arm which consists of the 3rd and 4th transistors according

to this invention, carrying out the PWM drive of the arm which consists of the 1st and 2nd transistors. By setting up such duty appropriately, step-down-and-step-up operation can be performed easily, and a change rate of pressure-up operation and pressure-lowering operation can be performed further smoothly. [0024]In a desirable embodiment of this invention, at the time of pressure-up operation, said control circuit controls said 1st [the] thru/or the 4th transistor so that duty of said 1st transistor becomes larger than duty of said 3rd transistor.

[0025]In a still more desirable embodiment of this invention, at the time of pressure-lowering operation, said control circuit controls said 1st [the] thru/or the 4th transistor so that duty of said 1st transistor becomes smaller than duty of said 3rd transistor.

[0026]In a still more desirable embodiment of this invention, By comparing the 1st control signal and subcarrier, said control circuit controls ON and OFF of said 1st and 2nd transistors, and controls ON and OFF of said 3rd and 4th transistors by comparing the 2nd control signal and said subcarrier.

[0027]
[Embodiment of the Invention]Hereafter, the desirable embodiment of this invention is explained in detail, referring to an accompanying drawing. Although the system interconnection inverter concerning this embodiment is a circuit which links with a system the direct current power supplied from DC power supply, and is changed into alternating current power and is not limited in particular, as DC power supply, the power supply from a solar cell or a fuel cell can be used for it.

[0028]Drawing 1 is a circuit diagram of the system interconnection inverter 10 concerning the desirable embodiment of this invention.

[0029]As shown in drawing 1, the system interconnection inverter 10 concerning this embodiment, It is a circuit which receives the direct current power from DC power supply 11, changes this into exchange, and is supplied to the alternating current load 18 and the system 19, It is connected among the both ends of DC power supply 11, and the voltage of DC power supply 11 Pressure up or the rise and fall pressure converter 13 which performs corrugating while lowering the pressure, The intercondenser 14 connected between the outgoing ends of the rise and fall pressure converter 13, The inverter 15 which performs a polar change so that it may be connected between the outgoing ends of the rise and fall pressure converter 13 and the output current I_o may serve as a sine wave, It has the smoothing circuit 17 connected between the output of the inverter 15, the alternating current load 18, and the system 19, and the control circuit 16 which controls operation of the rise and fall pressure converter 13 and the inverter 15, and the output of the smoothing circuit 17 is connected to the alternating current load 18 and the system 19.

[0030]The rise and fall pressure converter 13 is provided with the following.

The 1st arm that consists of the 1st transistor Q1 and 2nd transistor Q2 that were connected in series. The 2nd arm that consists of the 3rd transistor Q3 and 4th transistor Q4 that were connected in series. The reactor L1 for energy pooling connected between the 1st and 2nd transistors Q1, the node of Q2, and the 3rd and 4th transistors Q3 and the node of Q4.

The diodes D1-D4 connected in parallel with the 1st – the 4th transistor Q1-Q4, respectively.

As shown in drawing 1, the 1st and 2nd transistors Q1 and the 1st arm that consists of Q2 are connected among the both ends of DC power supply 11. The 3rd and 4th transistors Q3 and the 2nd arm that consists of Q4 serve as an outgoing end of the rise and fall pressure converter 13.

[0031]Although explained in full detail below, the rise and fall pressure converter 13 performs pressure-up operation, when the input voltage E_{pv} from DC power supply 11 is lower than the absolute value of the voltage V_o of the system power supply 19, and when the input voltage E_{pv} from DC power supply 11 is higher than the absolute value of the voltage V_o of the system power supply 19, it performs pressure-lowering operation.

[0032]The intercondenser 14 constitutes a filter with the reactor L1 contained in the rise and fall pressure converter 13. What is necessary is just to set it as several micro F – about tens of micro F, when sufficient value to absorb the ripple current generated when the rise and fall pressure converter 13 performs pressure-up operation is calculated and the reactor L1 whose inductance is about 5 microhenries is specifically used as the capacity value. For this reason, although not limited especially as the intercondenser 14, it is preferred to use a film capacitor. Since the life of a film capacitor is very long compared with an electrolytic condenser, it does not spoil the reliability of the system interconnection inverter 10 concerning this embodiment. Since the capacity value to need is comparatively small,

enlargement of the system interconnection inverter 10 is prevented.

[0033]The inverter 15 is provided with the following.

The 3rd arm that consists of the 5th transistor Q5 and 6th transistor Q6 that are what is called full bridge circuits, and were connected in series.

The 4th arm that consists of the 7th transistor Q7 and 8th transistor Q8 that were connected in series.

The diodes D5–D8 connected in parallel with the 5th – the 8th transistor Q5–Q8, respectively.

As shown in drawing 1, the 5th and 6th transistors Q5, the 3rd arm that consists of Q6 and the 7th and 8th transistors Q7, and the 4th arm that consists of Q8, All are connected between the outgoing ends of the rise and fall pressure converter 13, and the smoothing circuit 17 is connected between the 5th and 6th transistors Q5, the node of Q6, and the 7th and 8th transistors Q7 and the node of Q8.

[0034]The smoothing circuit 17 consists of the reactor L2 and capacitor CO for noise rejection.

[0035]Between the smoothing circuit 17, the alternating current load 18, and the system 19, it has the output current monitor M which detects the output current I_o , and the detection value is supplied to the control circuit 16.

[0036]The control circuit 16 is provided with the following.

The rise and fall pressure converter control circuit 21 for controlling operation of the rise and fall pressure converter 13.

The inverter control circuit 22 for controlling operation of the inverter 15.

[0037]Drawing 2 is a block diagram showing roughly the composition of the rise and fall pressure converter control circuit 21.

[0038]As shown in drawing 2, the rise and fall pressure converter control circuit 21 is provided with the following.

Full wave rectifier 31.

Peak voltage detecting circuit 32.

Subtractor 33.

The compensator 34, the adding machine 35, the sinusoidal generation machine 36, the multiplier 37, the subtractor 38, the compensator 39, the adding machine 40, the subcarrier generation circuit 41, the gate circuit 42, and the rise and fall pressure converter drive circuit 43.

[0039]The full wave rectifier 31 is a circuit which rectifies this in response to the detection value m of the output current monitor M, and the output is supplied to the peak voltage detecting circuit 32. As the full wave rectifier 31, the full bridge circuit by a diode can be used, for example.

[0040]The peak voltage detecting circuit 32 computes the peak value of the volts alternating current supplied from the full wave rectifier 31 by direct-current-izing the output from the full wave rectifier 31, and multiplying the direct current voltage by $\pi/2$. The acquired peak value is supplied to the subtractor 33.

[0041]The subtractor 33 is a circuit which subtracts the output value of the filter 31 from the desired value I_{peak} of the peak value of output current, and the output is supplied to the compensator 34. The desired value I_{peak} of the peak value of output current is given from the outside according to the operation condition of the system interconnection inverter 10 concerning this embodiment.

[0042]The compensator 34 is a circuit for attaining an improvement and stabilization of controlling performance, for example, an amplifier can be used for it.

[0043]The adding machine 35 is a circuit adding the output value of the compensator 34, and the voltage E_{pvn} at the time of the maximum dissipation of DC power supply 11, and the control signal S3 which is the output is supplied to the gate circuit 42. This control signal S3 is a direct current signal which amended the voltage E_{pvn} at the time of the maximum dissipation of DC power supply 11 based on the desired value I_{peak} of the detection value m of the present output current, and the peak value of output current.

[0044]The sinusoidal generation machine 36 is a circuit which generates the sine wave \sin , and is substantially coincided with the frequency of the system power supply 19 as the frequency.

[0045]The multipliers 37 are the sine wave \sin which is an output of the sinusoidal generation machine 36, and a circuit which multiplies by the desired value I_{peak} of the peak value of output current, and desired value m' of the output current which is the output is supplied to the subtractor 38.

[0046]The subtractor 38 is a circuit which subtracts the detection value m of the output current monitor M

from desired value m' of the output current which is an output of the multiplier 37, and the output is supplied to the compensator 39.

[0047]The compensator 39 is a circuit for attaining an improvement and stabilization of controlling performance, for example, an amplifier can be used for it.

[0048]The adding machine 40 is a circuit adding the output value of the compensator 39, and the detection value of the output voltage V_o , and the control signal $S1$ which is the output is supplied to the gate circuit 42. This control signal $S1$ is a sine wave signal which amended the voltage waveform of the system power supply 19 based on the desired value I_{peak} of the detection value m of the present output current, and the peak value of output current.

[0049]The subcarrier generation circuit 41 is a circuit which generates the subcarrier $S2$, and this subcarrier $S2$ is supplied to the gate circuit 42. Although the frequency of the subcarrier $S2$ is set up more highly enough than the frequency of the system power supply 19 and is not limited in particular, it is preferred to set it as about 16 kHz.

[0050]While the gate circuit 42 generates the rise and fall pressure converter control signals $c1$ and $c2$ by receiving the control signal $S1$, the control signal $S3$, and the subcarrier $S2$, and comparing the control signal $S1$ with the subcarrier $S2$, It is a circuit which generates the rise and fall pressure converter control signals $c3$ and $c4$ by comparing the control signal $S3$ with the subcarrier $S2$. The details are mentioned later.

[0051]The rise and fall pressure converter drive circuit 43 is a circuit which drives the rise and fall pressure converter 13 by amplifying the rise and fall pressure converter control signals $c1$ – $c4$, generating the rise and fall pressure converter driving signals $C1$ – $C4$, and supplying these to the gate of the 1st thru/or the 4th transistor $Q1$ – $Q4$, respectively. Therefore, four buffer circuits which receive the rise and fall pressure converter control signals $c1$ – $c4$ in the rise and fall pressure converter drive circuit 43, respectively, and output the rise and fall pressure converter driving signals $C1$ – $C4$ to it are included.

[0052]Drawing 3 is a block diagram showing the composition of the inverter control circuit 22 roughly.

[0053]As shown in drawing 3, the inverter control circuit 22 is provided with the following.

The inverter control signal generating circuit 51 which generates the inverter control signals $c5$ – $c8$ in response to the output voltage V_o .

The inverter drive circuit 52 which generates the inverter drive signals $C5$ – $C8$ in response to the inverter control signals $c5$ – $c8$.

[0054]The inverter control signal generating circuit 51 detects the polarity of the output voltage V_o , and generates the inverter control signals $c5$ – $c8$ based on this. When the polarity of the output voltage V_o is positive, more specifically, The inverter control signals $c5$ and $c8$ are made into high level, and the inverter control signals $c6$ and $c7$ are made into a low level, and conversely, when the polarity of the output voltage V_o is negative, make the inverter control signals $c6$ and $c7$ into high level, and let the inverter control signals $c5$ and $c8$ be low level.

[0055]The inverter drive circuit 52 is a circuit which drives the inverter 15 by amplifying the inverter control signals $c5$ – $c8$, generating the inverter drive signals $C5$ – $C8$, and supplying these to the gate of the 5th – the 8th transistor $Q5$ – $Q8$, respectively. Therefore, four buffer circuits which receive the inverter control signals $c5$ – $c8$ in the inverter drive circuit 52, respectively, and output the inverter drive signals $C5$ – $C8$ to it are included.

[0056]Next, operation of the system interconnection inverter 10 concerning this embodiment is explained.

[0057]The rise and fall pressure converter 13 contained in the system interconnection inverter 10 concerning this embodiment as above-mentioned, When the input voltage E_{pv} from DC power supply 11 is lower than the absolute value of the voltage V_o of the system power supply 19, pressure-up operation is performed, and when the input voltage E_{pv} from DC power supply 11 is higher than the absolute value of the voltage V_o of the system power supply 19, pressure-lowering operation is performed. The pressure-up control and pressure-lowering control to the rise and fall pressure converter 13 are performed by controlling the ratio of the duty $d1$ of the 1st transistor $Q1$ to the duty $d3$ of the 3rd transistor $Q3$. A following formula is a formula for explaining this.

[0058]

$$e_B = (E_{pv} \times d1) / d3 \quad (1)$$

In a formula (1), e_B is the output voltage of the step-down-and-step-up capacitor 13, i.e., the both-ends voltage of the intercondenser 14.

[0059] So that clearly from a formula (1) output voltage e_B of the step-down-and-step-up capacitor 13, It is decided by the ratio of the duty d_1 of the 1st transistor Q1 to the duty d_3 of the 3rd transistor Q3, When the duty d_1 of the 1st transistor Q1 is larger than the duty d_3 of the 3rd transistor Q3, it becomes pressure-up operation, and conversely, when the duty d_3 of the 3rd transistor Q3 is larger than the duty d_1 of the 1st transistor Q1, it becomes pressure-lowering operation.

[0060] Next, the deciding method of the duty d_1 of the 1st transistor Q1 and the duty d_3 of the 3rd transistor Q3 is explained.

[0061] Drawing 4 is a timing diagram showing operation of the gate circuit 42 in the state where the level of the control signal S1 is more expensive than the level of the control signal S3, and when the input voltage E_{pv} from DC power supply 11 is lower than the absolute value of the voltage V_o of the system power supply 19, it will be in such a state. The level of the control signal S1 which is a sine wave substantially is linearly shown from drawing 4 expanding a very short period and being shown.

[0062] As shown in drawing 4, the gate circuit 42 compares the control signal S1 with the subcarrier S2, In a period higher than the subcarrier S2, the control signal S1 makes high-level the rise and fall pressure converter control signal c_1 , and the control signal S1 makes high-level conversely the rise and fall pressure converter control signal c_2 in a period lower than the subcarrier S2. The gate circuit 42 compares the control signal S3 with the subcarrier S2, and the control signal S3 makes high-level the rise and fall pressure converter control signal c_3 in a period higher than the subcarrier S2, On the contrary, the control signal S3 makes high-level the rise and fall pressure converter control signal c_4 in a period lower than the subcarrier S2.

[0063] By this, since the rise and fall pressure converter control signals c_1 and c_2 turn into an opposite phase signal mutually and the rise and fall pressure converter control signals c_3 and c_4 turn into an opposite phase signal mutually, The PWM drive of each of 1st and 2nd transistors Q1, arms which consist of Q2, and the 3rd and 4th transistors Q3 and the arms which consist of Q4 will be carried out simultaneously. However, so that one [simultaneously or / the 3rd transistor Q3 and 4th transistor Q4] simultaneously, [the 1st transistor Q1 and 2nd transistor Q2] A dead time is inserted among the rise and fall pressure converter control signals c_1 and c_2 and among the rise and fall pressure converter control signals c_3 and c_4 .

[0064] Since such operation is performed, in the state where the level of the control signal S1 is more expensive than the level of the control signal S3, the duty d_1 of the 1st transistor Q1 becomes large inevitably rather than the duty d_3 of the 3rd transistor Q3, and, as for the rise and fall pressure converter 13, pressure-up operation is performed. When the rise and fall pressure converter 13 performs pressure-up operation, as shown in drawing 4, as switch-on of the 1st thru/or the 4th transistor Q1-Q4, The state [one / state / the 1st transistor Q1 and 3rd transistor Q3] (state 1), The state (state 4), one [a state (state 3), and the 2nd transistor Q2 and 4th transistor Q4], will be repeated. [one / the transistor / the 1st transistor Q1 and 4th transistor Q4] When the rise and fall pressure converter 13 performs pressure-up operation, the state (state 2), one [the 2nd transistor Q2 and 3rd transistor Q3], does not exist.

[0065] The level of the control signal S1 is a timing diagram showing operation of the gate circuit 42 in a state lower than the level of the control signal S3, and drawing 5 will be in such a state, when the input voltage E_{pv} from DC power supply 11 is higher than the absolute value of the voltage V_o of the system power supply 19. The level of the control signal S1 which is a sine wave substantially is linearly shown from drawing 5 expanding a very short period and being shown.

[0066] As shown in drawing 5, in the state where the level of the control signal S1 is lower than the level of the control signal S3, the duty d_3 of the 3rd transistor Q3 becomes large inevitably rather than the duty d_1 of the 1st transistor Q1, and, as for the rise and fall pressure converter 13, pressure-lowering operation is performed. When the rise and fall pressure converter 13 performs pressure-lowering operation, as shown in drawing 5, as switch-on of the 1st thru/or the 4th transistor Q1-Q4, The state [one / state / the 1st transistor Q1 and 3rd transistor Q3] (state 1), The state (state 4), one [a state (state 2), and the 2nd transistor Q2 and 4th transistor Q4], will be repeated. [one / the transistor / the 2nd transistor Q2 and 3rd transistor Q3] When the rise and fall pressure converter 13 performs pressure-up operation, the state (state 3), one [the 1st transistor Q1 and 4th transistor Q4], does not exist.

[0067]Drawing 6 (a) – (d) is a representative circuit schematic of the system interconnection inverter 10 in the state 1 – the state 4, respectively.

[0068]When the state 1 and the state 3 are repeated so that clearly from drawing 6, the output voltage of the rise and fall pressure converter 13 becomes higher than the input voltage E_{pv} from DC power supply 11 (pressure-up operation), When the state 1 and the state 2 are repeated, the output voltage of the rise and fall pressure converter 13 becomes lower than the input voltage E_{pv} from DC power supply 11 (pressure-lowering operation).

[0069]After the voltage waveform between the outgoing ends of the rise and fall pressure converter 13 turns into a pulsating flow waveform, and is substantially in agreement with the absolute value of the voltage of the system power supply 19 by operation explained above and this is changed into a sine wave by the inverter 15, the system power supply 19 is supplied.

[0070]Thus, ON and OFF of the 1st which constitutes the rise and fall pressure converter 13 according to this embodiment – the 4th transistor Q1–Q4, Since it is determined by comparing the control signals S1 and S3 with the subcarrier S2, a change in the pressure-lowering operation and pressure-up operation by the rise and fall pressure converter 13 will be performed automatically, and the change rate of pressure-up operation and pressure-lowering operation can be performed smoothly.

[0071]In this embodiment, since the intercondenser 14 should just absorb the ripple current generated when the rise and fall pressure converter 13 performs pressure-up operation, as the capacity value, several micro F – about tens of micro F may be sufficient as it, and it can use a small film capacitor. This becomes possible to miniaturize the system interconnection inverter 10 whole. The reliability of the system interconnection inverter 10 with which a film capacitor requires the life for this embodiment from a long time dramatically compared with an electrolytic condenser is substantially improved as above-mentioned.

[0072]Various change is possible for this invention within the limits of the invention indicated to the claim without being limited to the above embodiment, and it cannot be overemphasized that they are also what is included within the limits of this invention.

[0073]For example, what is necessary is to use the output voltage V_o instead of the detection value m of the output current monitor M supplied to the rise and fall pressure converter control circuit 21, and just to use the desired value of output voltage instead of the output voltage V_o , in carrying out self sustaining of the system interconnection inverter 10 concerning the above-mentioned embodiment.

[0074]

[Effect of the Invention]As explained above, according to this invention, it becomes possible to provide the rise and fall pressure converter which can perform pressure-up operation and pressure-lowering operation by easy control, and the system interconnection inverter using this. According to this invention, it becomes possible to provide a small and reliable system interconnection inverter.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

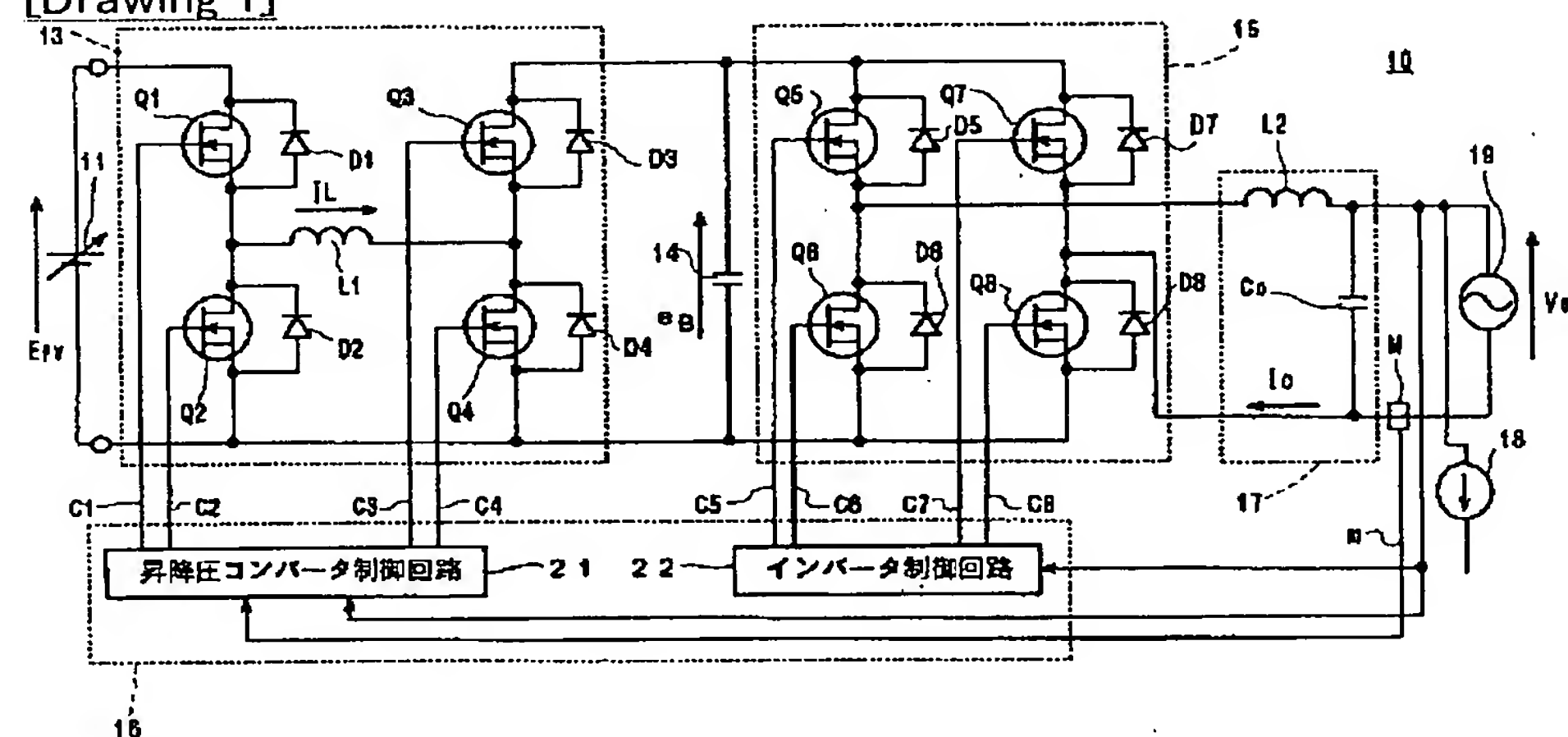
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

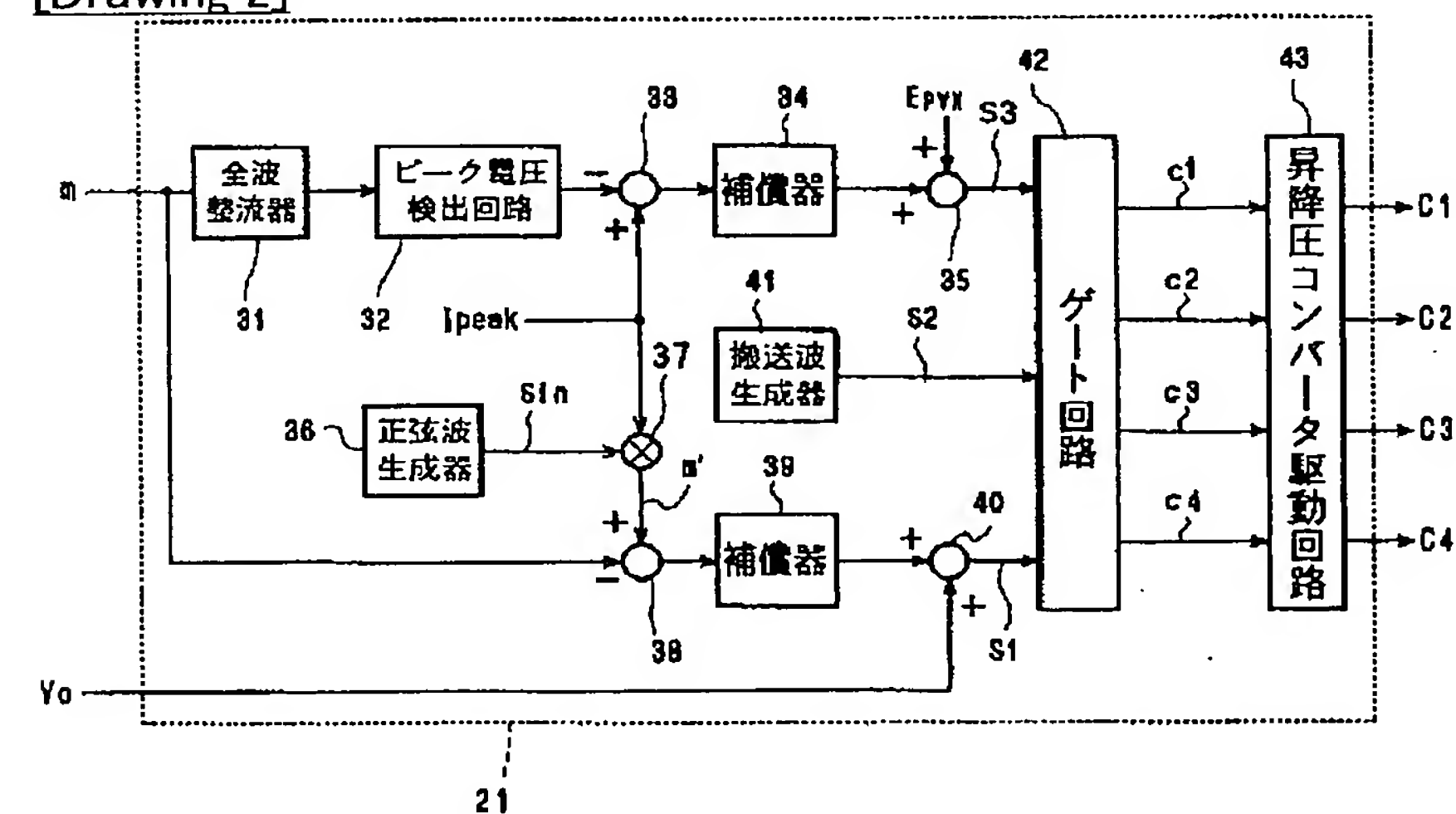
3.In the drawings, any words are not translated.

DRAWINGS

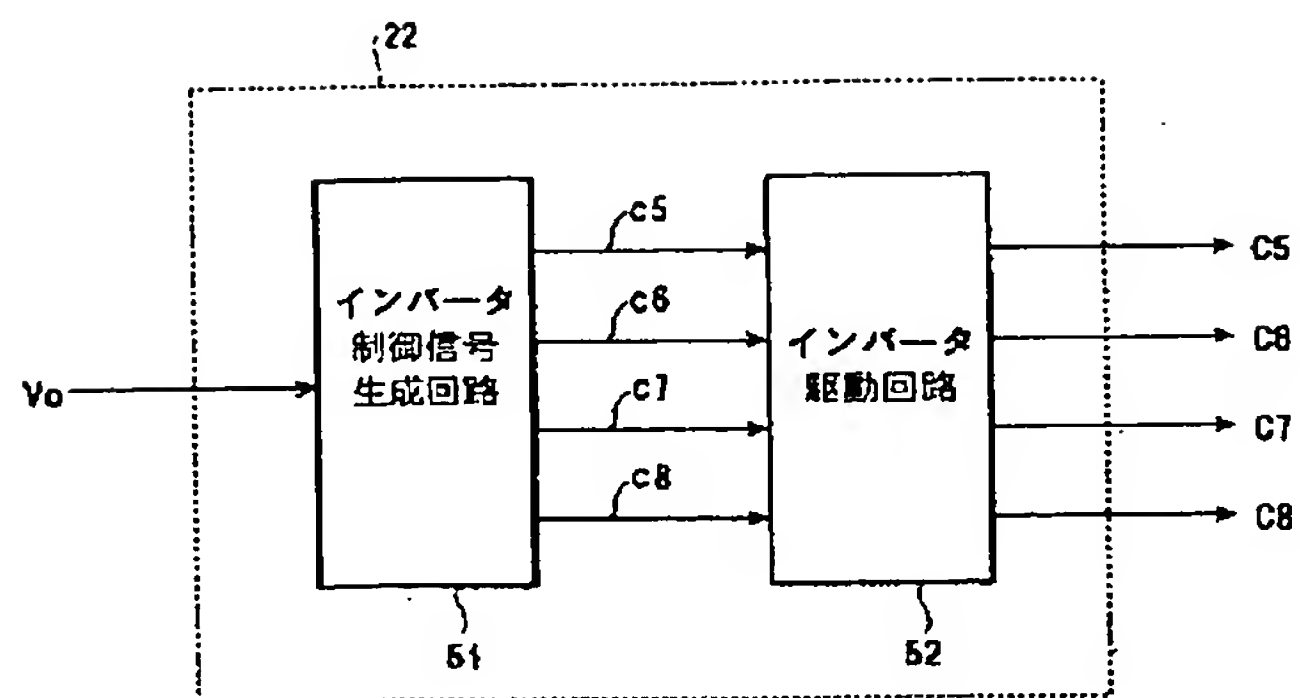
[Drawing 1]



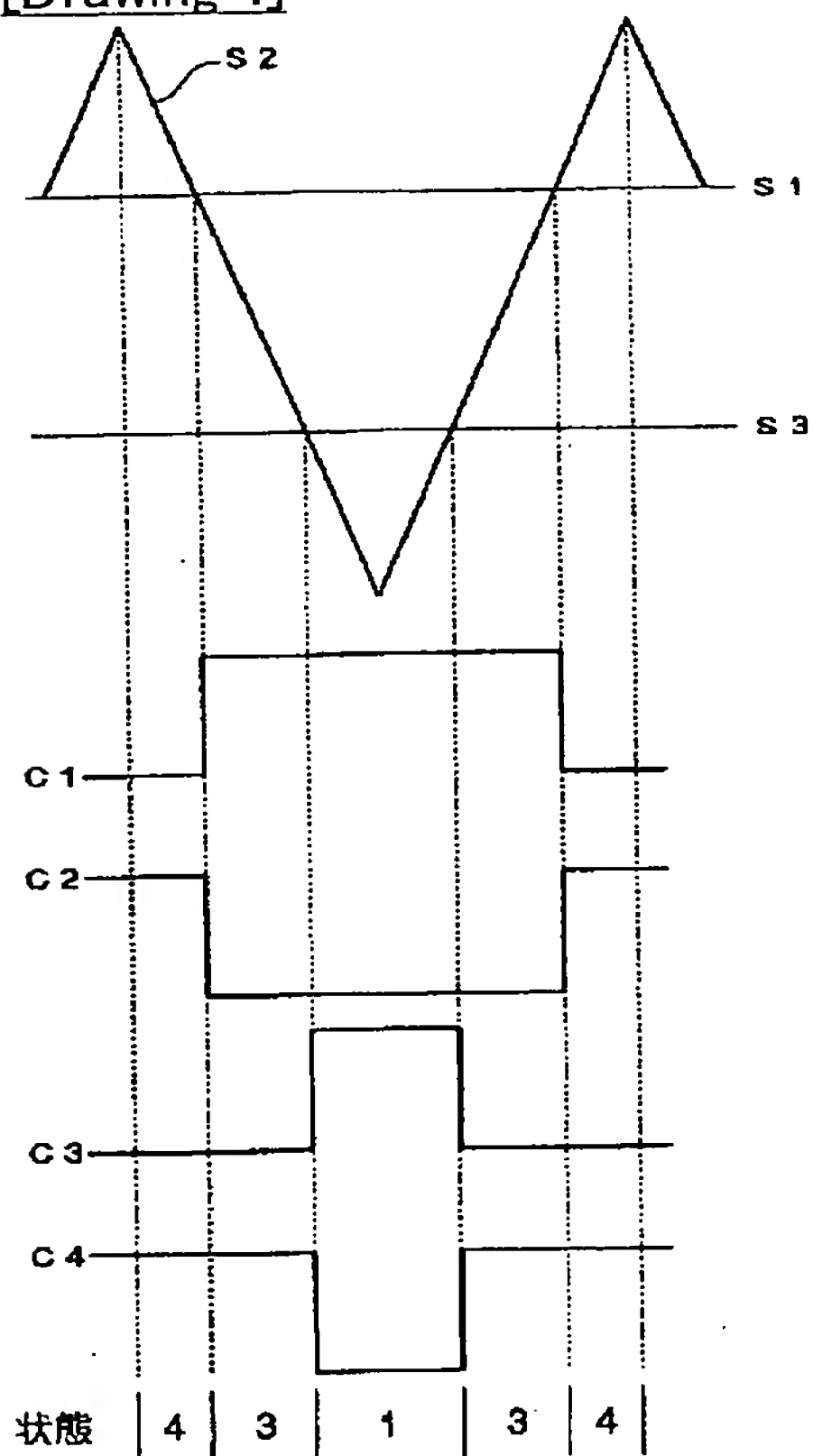
[Drawing 2]



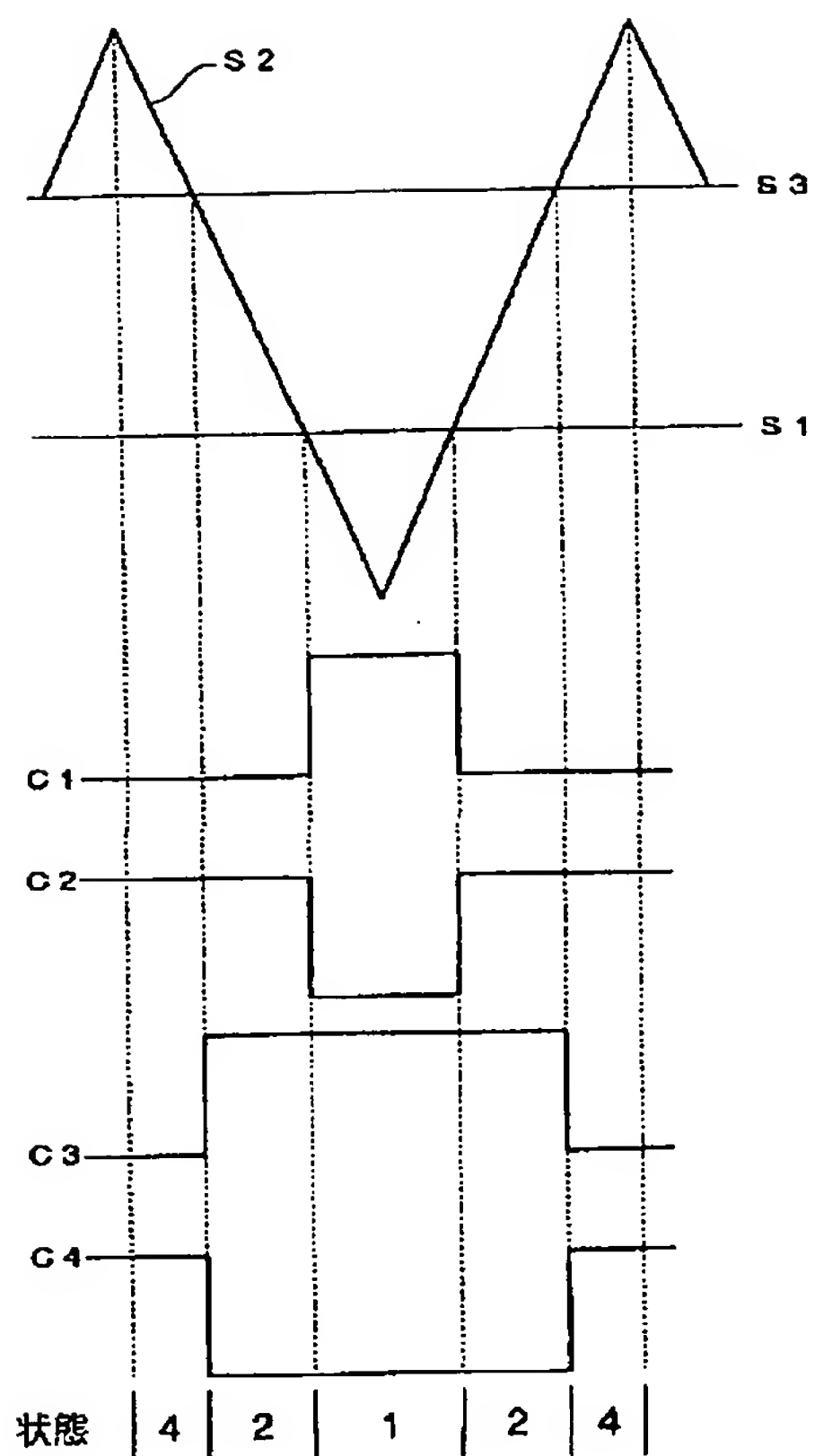
[Drawing 3]



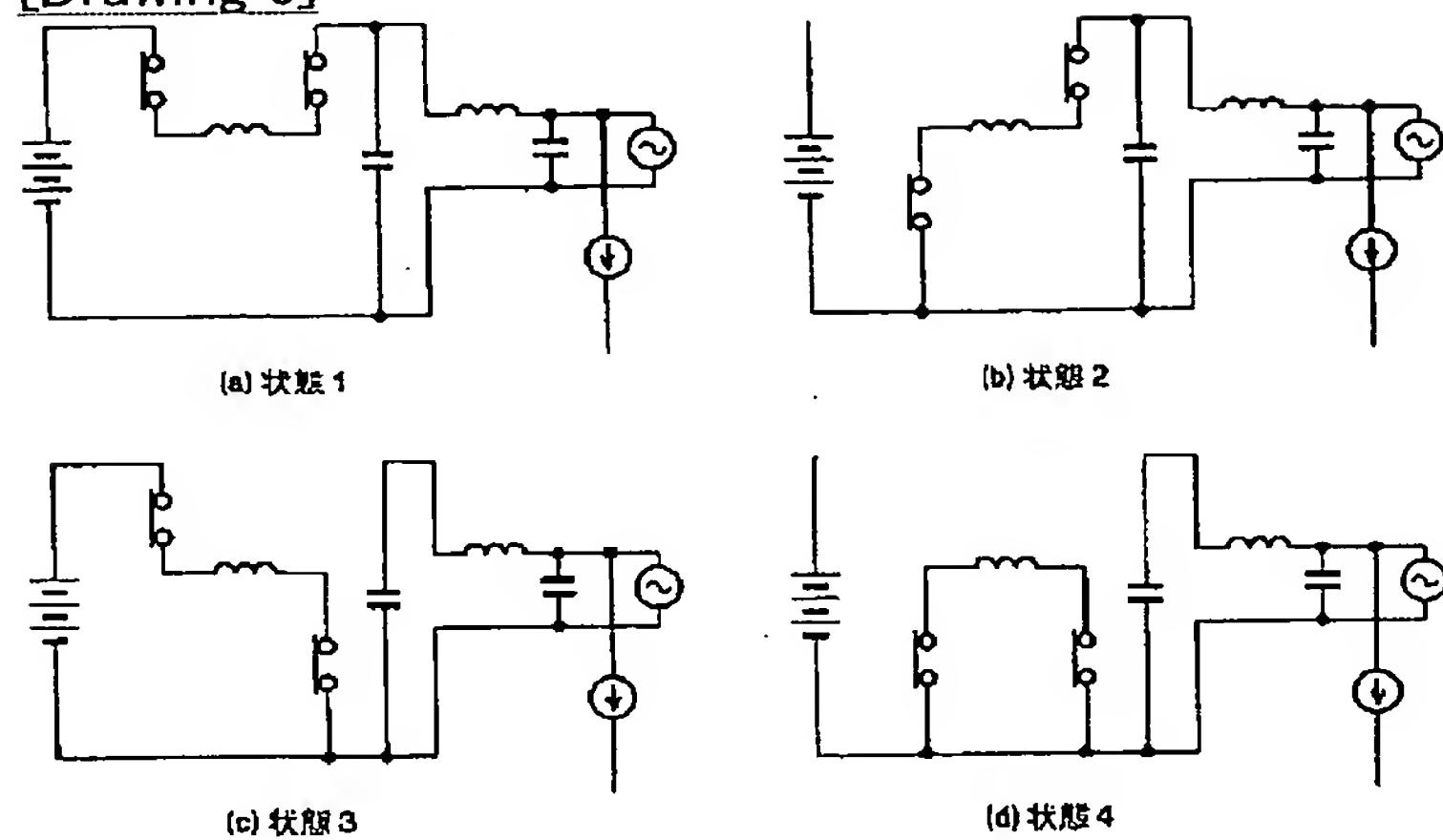
[Drawing 4]



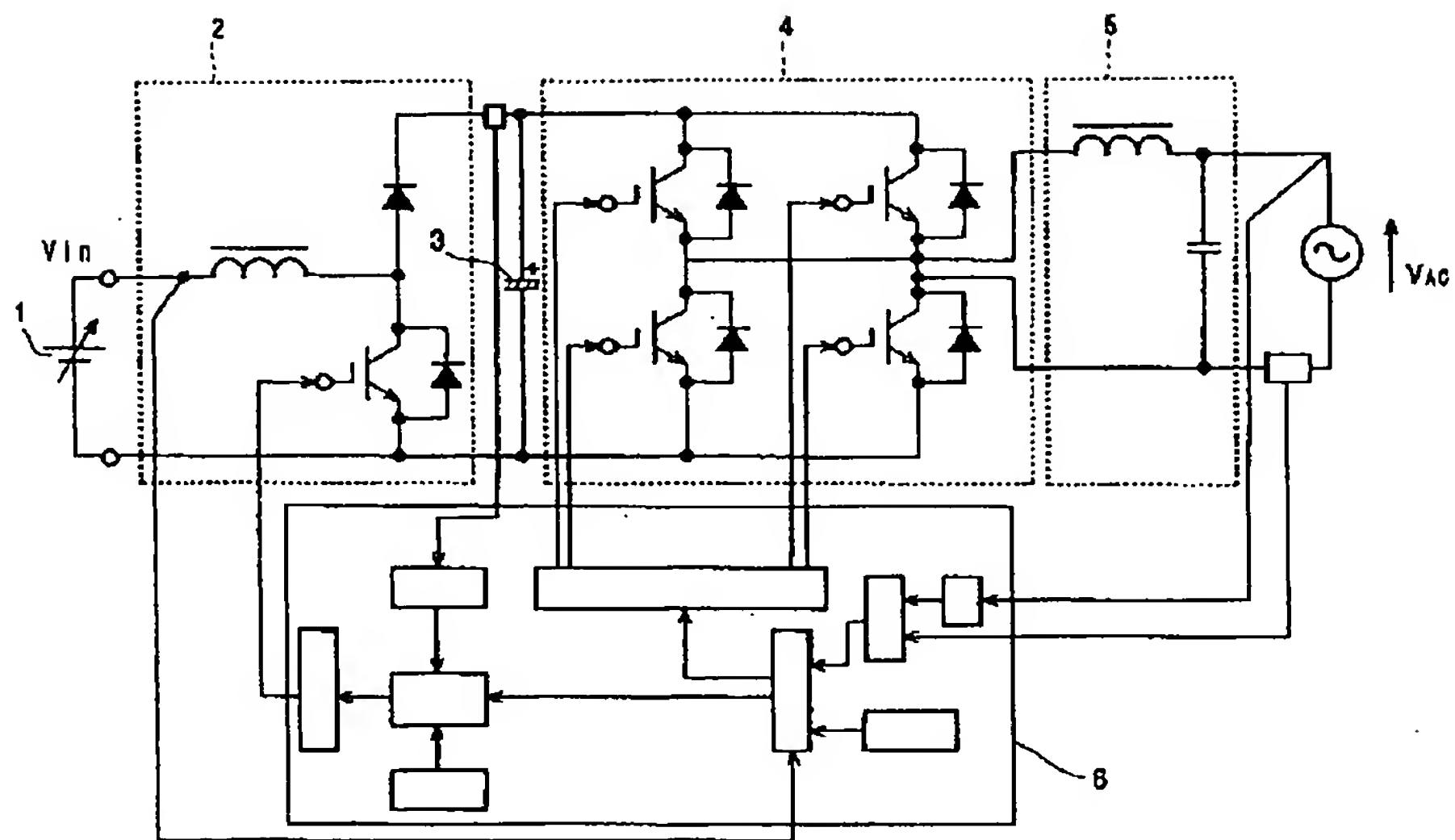
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-88140
(P2003-88140A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 2 M 7/48		H 0 2 M 7/48	R 5 H 0 0 7
3/155		3/155	H 5 H 7 3 0

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願2001-276928 (P2001-276928)

(22) 出願日 平成13年9月12日 (2001.9.12)

(71) 出願人 000003067

ティーディーケー株式会社
東京都中央区日本橋1丁目13番1号

(72) 発明者 上松 武

東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

(72) 発明者 田中 克明

東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

(74) 代理人 100078031

弁理士 大石 皓一 (外1名)

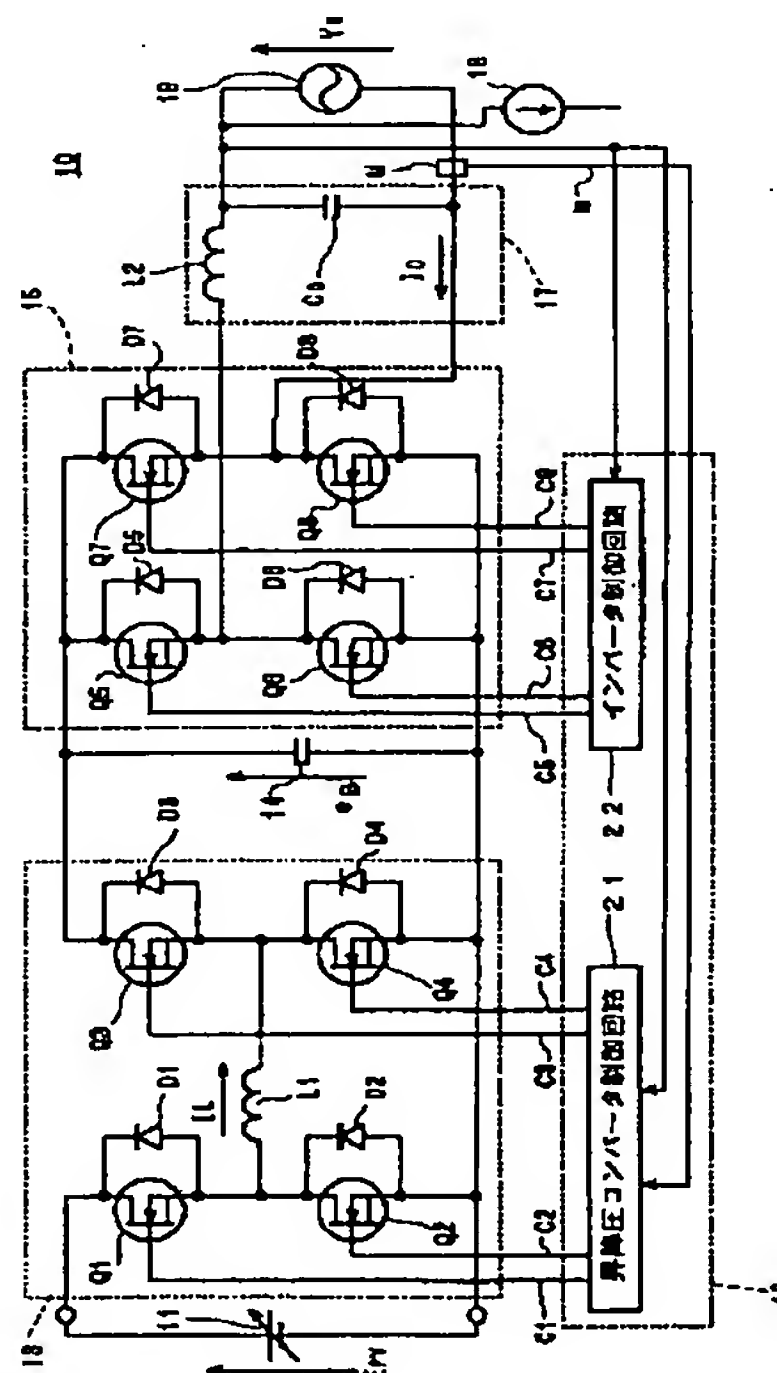
最終頁に続く

(54) 【発明の名称】 昇降圧コンバータ及びこれを用いた系統連系インバータ

(57) 【要約】

【課題】 簡単な制御によって昇圧動作と降圧動作を行うことができる昇降圧コンバータを提供する。

【解決手段】 入力端間に供給される直流電圧11を脈流に変換する昇降圧コンバータであって、入力端間に直列に接続された第1及び第2のトランジスタQ1、Q2と、出力端間に直列に接続された第3及び第4のトランジスタQ3、Q4と、第1及び第2のトランジスタQ1、Q2の節点と第3及び第4のトランジスタQ3、Q4の節点との間に接続されたリアクトルL1と、第1及び第2のトランジスタQ1、Q2からなるアームをPWM駆動しながら、第3及び第4のトランジスタQ3、Q4からなるアームをPWM駆動する制御回路16とを有している。これにより、これらアームのデューティを適切に設定することで昇降圧動作を簡単に制御することができる。



【特許請求の範囲】

【請求項 1】 直流電源からの電力を交流負荷及び系統の少なくとも一方に供給する系統連系インバータであって、前記直流電源より供給される直流電圧を脈流に変換するコンバータと、前記コンバータから供給される前記脈流を交流に変換するインバータと、前記コンバータと前記インバータとの間に設けられた中間コンデンサと、前記コンバータの動作を制御する制御回路とを備え、前記コンバータが、前記直流電源に直列に接続される第 1 及び第 2 のトランジスタと、前記インバータの入力端間に直列に接続された第 3 及び第 4 のトランジスタと、前記第 1 及び第 2 のトランジスタの節点と前記第 3 及び第 4 のトランジスタの節点との間に接続されたリアクトルとを備え、前記制御回路は、前記第 1 及び第 2 のトランジスタからなるアームを PWM 駆動しながら、前記第 3 及び第 4 のトランジスタからなるアームを PWM 駆動することを特徴とする系統連系インバータ。

【請求項 2】 前記中間コンデンサがフィルムコンデンサからなることを特徴とする請求項 1 に記載の系統連系インバータ。

【請求項 3】 前記中間コンデンサの容量値が数 μF ～数十 μF であることを特徴とする請求項 1 または 2 に記載の系統連系インバータ。

【請求項 4】 前記制御回路は、前記直流電圧が前記系統の電圧の絶対値よりも低い場合には、前記第 1 のトランジスタのデューティが前記第 3 のトランジスタのデューティよりも大きくなるように前記コンバータを制御することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の系統連系インバータ。

【請求項 5】 前記制御回路は、前記直流電圧が前記系統の電圧の絶対値よりも高い場合には、前記第 1 のトランジスタのデューティが前記第 3 のトランジスタのデューティよりも小さくなるように前記コンバータを制御することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の系統連系インバータ。

【請求項 6】 前記制御回路が、第 1 の制御信号と搬送波とを比較することによって前記第 1 及び第 2 のトランジスタのオン／オフを制御し、第 2 の制御信号と前記搬送波とを比較することによって前記第 3 及び第 4 のトランジスタのオン／オフを制御することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の系統連系インバータ。

【請求項 7】 前記第 1 の制御信号が実質的に正弦波波形であることを特徴とする請求項 6 に記載の系統連系インバータ。

【請求項 8】 前記第 2 の制御信号が実質的に直流波形であることを特徴とする請求項 6 または 7 に記載の系統連系インバータ。

【請求項 9】 入力端間に供給される直流電圧を脈流に変換する昇降圧コンバータであって、前記入力端間に直

列に接続された第 1 及び第 2 のトランジスタと、出力端間に直列に接続された第 3 及び第 4 のトランジスタと、前記第 1 及び第 2 のトランジスタの節点と前記第 3 及び第 4 のトランジスタの節点との間に接続されたリアクトルと、前記第 1 及び第 2 のトランジスタからなるアームを PWM 駆動しながら、前記第 3 及び第 4 のトランジスタからなるアームを PWM 駆動する制御回路とを有していることを特徴とする昇降圧コンバータ。

【請求項 10】 前記制御回路は、昇圧動作時においては、前記第 1 のトランジスタのデューティが前記第 3 のトランジスタのデューティよりも大きくなるように前記第 1 乃至第 4 のトランジスタを制御することを特徴とする請求項 9 に記載の昇降圧コンバータ。

【請求項 11】 前記制御回路は、降圧動作時においては、前記第 1 のトランジスタのデューティが前記第 3 のトランジスタのデューティよりも小さくなるように前記第 1 乃至第 4 のトランジスタを制御することを特徴とする請求項 9 または 10 に記載の昇降圧コンバータ。

【請求項 12】 前記制御回路が、第 1 の制御信号と搬送波とを比較することによって前記第 1 及び第 2 のトランジスタのオン／オフを制御し、第 2 の制御信号と前記搬送波とを比較することによって前記第 3 及び第 4 のトランジスタのオン／オフを制御することを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の昇降圧コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、昇降圧コンバータ及びこれを用いた系統連系インバータに関し、さらに詳細には、簡単な制御によって昇圧動作と降圧動作を行うことができる昇降圧コンバータ及びこれを用いた系統連系インバータに関する。

【0002】

【従来の技術】従来より、太陽電池や燃料電池などの直流電源より供給される直流電力を系統に連系して交流電力に変換する回路として、系統連系インバータが知られている。系統連系インバータの例としては、特開 2000-152651 号公報に記載されている。

【0003】図 7 は、同公報に記載された従来の系統連系インバータの回路図である。

【0004】図 7 に示されるように、同公報に記載された従来の系統連系インバータは、入力電源 1 より供給される直流電圧を昇圧するとともに波形成形を行う昇圧コンバータ 2 と、昇圧コンバータからの出力を平滑する中間段コンデンサ 3 と、出力電流 I_o を正弦波に波形成形するインバータ 4 と、出力電圧を平滑するフィルタ 5 と、昇圧コンバータ 2 及びインバータ 4 の動作を制御する制御回路 6 とを備えており、制御回路 6 は、入力電源 1 の電圧が系統電圧よりも低い状態においては、昇圧コンバータ 2 を高周波でスイッチングさせるとともにイン

バータ 4 を系統電圧の極性に応じて低周波でスイッチングさせ、入力電源 1 の電圧が系統電圧よりも高い状態においては、昇圧コンバータ 2 のスイッチングを停止させるとともにインバータ 4 を高周波でスイッチングさせている。

【0005】これによって、入力電源 1 の電圧が系統電圧よりも低い状態においては、昇圧コンバータ 2 によって昇圧及び波形成形が行われるとともに、入力電源 1 の電圧が系統電圧よりも高い状態においては、インバータ 4 によって波形成形が行われることになる。

【0006】図 7 に示される従来の系統連系インバータにおいては、昇圧コンバータ 2 の出力は直流であり、その電圧を十分に安定させる必要があることから、中間段コンデンサ 3 には非常に大きな容量（約 5000 μ F）が要求される。このため、かかる中間段コンデンサ 3 としては電解コンデンサが一般的に用いられる。

【0007】

【発明が解決しようとする課題】しかしながら、一般に電解コンデンサは大型であり、しかも他のコンデンサと比べて寿命が短いことから、このような部品を用いると系統連系インバータ全体が大型化するばかりでなく、信頼性が低下するという問題が生じる。ここで、電解コンデンサの寿命を長くし信頼性を高めるためには、複数の電解コンデンサを並列に用いることが有効であるが、この場合、さらなる大型化をもたらしてしまう。

【0008】さらに、上述した従来の系統連系インバータにおいては、入力電源 1 の電圧が系統電圧よりも低い状態における動作（昇圧動作）と、入力電源 1 の電圧が系統電圧よりも高い状態における動作（降圧動作）とが大きく異なるため、制御が複雑であるとともに、動作の切り替わりにおける出力波形に乱れが生じやすいという問題があった。

【0009】したがって、本発明の目的は、簡単な制御によって昇圧動作と降圧動作を行うことができる昇降圧コンバータ及びこれを用いた系統連系インバータを提供することである。

【0010】また、本発明の他の目的は、昇圧動作と降圧動作の切り替わりをスムーズに行うことができる昇降圧コンバータ及びこれを用いた系統連系インバータを提供することである。

【0011】また、本発明のさらに他の目的は、中間段コンデンサとして電解コンデンサを用いる必要のない系統連系インバータを提供することである。

【0012】

【課題を解決するための手段】本発明のかかる目的は、直流電源からの電力を交流負荷及び系統の少なくとも一方に供給する系統連系インバータであって、前記直流電源より供給される直流電圧を脈流に変換するコンバータと、前記コンバータから供給される前記脈流を交流に変換するインバータと、前記コンバータと前記インバータ

との間に設けられた中間コンデンサと、前記コンバータの動作を制御する制御回路とを備え、前記コンバータが、前記直流電源に直列に接続される第 1 及び第 2 のトランジスタと、前記インバータの入力端間に直列に接続された第 3 及び第 4 のトランジスタと、前記第 1 及び第 2 のトランジスタの節点と前記第 3 及び第 4 のトランジスタの節点との間に接続されたリアクトルとを有し、前記制御回路は、前記第 1 及び第 2 のトランジスタからなるアームを PWM 駆動しながら、前記第 3 及び第 4 のトランジスタからなるアームを PWM 駆動することを特徴とする系統連系インバータによって達成される。

【0013】本発明によれば、第 1 及び第 2 のトランジスタからなるアームを PWM 駆動しながら第 3 及び第 4 のトランジスタからなるアームを PWM 駆動していることから、これらのデューティを適切に設定することにより簡単に昇降圧動作を行うことができ、さらに、昇圧動作と降圧動作の切り替わりをスムーズに行うことができる。また、本発明によれば、中間コンデンサに要求される容量値が小さいことから、装置全体のサイズを小型化することが可能となる。

【0014】本発明の好ましい実施態様においては、前記中間コンデンサがフィルムコンデンサからなる。

【0015】本発明の好ましい実施態様によれば、装置全体の信頼性を高めることが可能となる。

【0016】本発明のさらに好ましい実施態様においては、前記中間コンデンサの容量値が数 μ F ～数十 μ F に設定されている。

【0017】本発明の好ましい実施態様においては、前記制御回路は、前記直流電圧が前記系統の電圧の絶対値よりも低い場合には、前記第 1 のトランジスタのデューティが前記第 3 のトランジスタのデューティよりも大きくなるように前記コンバータを制御する。

【0018】本発明のさらに好ましい実施態様においては、前記制御回路は、前記直流電圧が前記系統の電圧の絶対値よりも高い場合には、前記第 1 のトランジスタのデューティが前記第 3 のトランジスタのデューティよりも小さくなるように前記コンバータを制御する。

【0019】本発明のさらに好ましい実施態様においては、前記制御回路が、第 1 の制御信号と搬送波とを比較することによって前記第 1 及び第 2 のトランジスタのオン／オフを制御し、第 2 の制御信号と前記搬送波とを比較することによって前記第 3 及び第 4 のトランジスタのオン／オフを制御する。

【0020】本発明のさらに好ましい実施態様においては、前記第 1 の制御信号が実質的に正弦波波形である。

【0021】本発明のさらに好ましい実施態様においては、前記第 2 の制御信号が実質的に直流波形である。

【0022】本発明の前記目的はまた、入力端間に供給される直流電圧を脈流に変換する昇降圧コンバータであって、前記入力端間に直列に接続された第 1 及び第 2 の

トランジスタと、出力端間に直列に接続された第3及び第4のトランジスタと、前記第1及び第2のトランジスタの節点と前記第3及び第4のトランジスタの節点との間に接続されたリアクトルと、前記第1及び第2のトランジスタからなるアームをPWM駆動しながら、前記第3及び第4のトランジスタからなるアームをPWM駆動する制御回路とを有していることを特徴とする昇降圧コンバータによって達成される。

【0023】本発明によれば、第1及び第2のトランジスタからなるアームをPWM駆動しながら第3及び第4のトランジスタからなるアームをPWM駆動していることから、これらのデューティを適切に設定することにより簡単に昇降圧動作を行うことができ、さらに、昇圧動作と降圧動作の切り替わりをスムーズに行うことができる。

【0024】本発明の好ましい実施態様においては、前記制御回路は、昇圧動作時においては、前記第1のトランジスタのデューティが前記第3のトランジスタのデューティよりも大きくなるように前記第1乃至第4のトランジスタを制御する。

【0025】本発明のさらに好ましい実施態様においては、前記制御回路は、降圧動作時においては、前記第1のトランジスタのデューティが前記第3のトランジスタのデューティよりも小さくなるように前記第1乃至第4のトランジスタを制御する。

【0026】本発明のさらに好ましい実施態様においては、前記制御回路が、第1の制御信号と搬送波とを比較することによって前記第1及び第2のトランジスタのオン/オフを制御し、第2の制御信号と前記搬送波とを比較することによって前記第3及び第4のトランジスタのオン/オフを制御する。

【0027】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。本実施態様にかかる系統連系インバータは、直流電源より供給される直流電力を系統に連系して交流電力に変換する回路であり、特に限定されないが、直流電源としては太陽電池や燃料電池からの電源を用いることができる。

【0028】図1は、本発明の好ましい実施態様にかかる系統連系インバータ10の回路図である。

【0029】図1に示されるように、本実施態様にかかる系統連系インバータ10は、直流電源11からの直流電力を受け、これを交流に変換して交流負荷18及び系統19に供給する回路であり、直流電源11の両端間に接続され直流電源11の電圧を昇圧又は降圧するとともに波形成形を行う昇降圧コンバータ13と、昇降圧コンバータ13の出力端間に接続された中間コンデンサ14と、昇降圧コンバータ13の出力端間に接続され出力電流 I_o が正弦波となるよう極性切り替えを行うインバータ15と、インバータ15の出力と交流負荷18及び系

統19との間に接続された平滑回路17と、昇降圧コンバータ13及びインバータ15の動作を制御する制御回路16とを備えており、平滑回路17の出力は、交流負荷18及び系統19に接続されている。

【0030】昇降圧コンバータ13は、直列に接続された第1のトランジスタQ1及び第2のトランジスタQ2からなる第1のアームと、直列に接続された第3のトランジスタQ3及び第4のトランジスタQ4からなる第2のアームと、第1及び第2のトランジスタQ1、Q2の節点と第3及び第4のトランジスタQ3、Q4の節点との間に接続されたエネルギー蓄積用のリアクトルL1と、それぞれ第1～第4のトランジスタQ1～Q4に並列に接続されたダイオードD1～D4とを備える。図1に示されるように、第1及び第2のトランジスタQ1、Q2からなる第1のアームは、直流電源11の両端間に接続されている。また、第3及び第4のトランジスタQ3、Q4からなる第2のアームは、昇降圧コンバータ13の出力端となる。

【0031】以下に詳述するが、昇降圧コンバータ13は、直流電源11からの入力電圧 E_{pv} が系統電源19の電圧 V_o の絶対値よりも低い場合には昇圧動作を行い、直流電源11からの入力電圧 E_{pv} が系統電源19の電圧 V_o の絶対値よりも高い場合には降圧動作を行う。

【0032】中間コンデンサ14は、昇降圧コンバータ13に含まれるリアクトルL1とともにフィルタを構成する。その容量値としては、昇降圧コンバータ13が昇圧動作を行う際に発生するリップル電流を吸収するのに十分な値が求められ、具体的には、インダクタンスが5 μ H程度のリアクトルL1を用いた場合には、数 μ F～数十 μ F程度に設定すればよい。このため、中間コンデンサ14としては、特に限定されるものではないが、フィルムコンデンサを用いることが好ましい。フィルムコンデンサは電解コンデンサと比べてその寿命が非常に長いため、本実施態様にかかる系統連系インバータ10の信頼性を損ねることはない。また、必要とする容量値が比較的小さいため、系統連系インバータ10の大型化が防止される。

【0033】インバータ15は、いわゆるフルブリッジ回路であり、直列に接続された第5のトランジスタQ5及び第6のトランジスタQ6からなる第3のアームと、直列に接続された第7のトランジスタQ7及び第8のトランジスタQ8からなる第4のアームと、それぞれ第5～第8のトランジスタQ5～Q8に並列に接続されたダイオードD5～D8とを備える。図1に示されるように、第5及び第6のトランジスタQ5、Q6からなる第3のアーム及び第7及び第8のトランジスタQ7、Q8からなる第4のアームは、いずれも昇降圧コンバータ13の出力端間に接続されており、第5及び第6のトランジスタQ5、Q6の節点と第7及び第8のトランジスタ

Q7、Q8の節点との間に平滑回路17が接続される。

【0034】平滑回路17は、ノイズ除去用のリアクトルL2及びコンデンサC0からなる。

【0035】さらに、平滑回路17と交流負荷18及び系統19との間には、出力電流 I_o を検出する出力電流モニタMが備えられており、その検出値は制御回路16に供給される。

【0036】制御回路16は、昇降圧コンバータ13の動作を制御するための昇降圧コンバータ制御回路21と、インバータ15の動作を制御するためのインバータ制御回路22とを備えている。

【0037】図2は、昇降圧コンバータ制御回路21の構成を概略的に示すブロック図である。

【0038】図2に示されるように、昇降圧コンバータ制御回路21は、全波整流器31と、ピーク電圧検出回路32と、減算器33と、補償器34と、加算器35と、正弦波生成器36と、乗算器37と、減算器38と、補償器39と、加算器40と、搬送波発生回路41と、ゲート回路42と、昇降圧コンバータ駆動回路43とを備える。

【0039】全波整流器31は、出力電流モニタMの検出値 m を受けてこれを整流する回路であり、その出力はピーク電圧検出回路32に供給される。全波整流器31としては、例えば、ダイオードによるフルブリッジ回路を用いることができる。

【0040】ピーク電圧検出回路32は、全波整流器31からの出力を直流化し、その直流電圧に $\pi/2$ を乗じることによって、全波整流器31より供給される交流電圧のピーク値を算出する。得られたピーク値は、減算器33に供給される。

【0041】減算器33は、出力電流の波高値の目標値 I_{peak} からフィルタ31の出力値を減算する回路であり、その出力は補償器34に供給される。出力電流の波高値の目標値 I_{peak} は、本実施態様にかかる系統連系インバータ10の運転状況に応じて外部から与えられる。

【0042】補償器34は、制御性能の改善と安定化を図るための回路であり、例えば、増幅器を用いることができる。

【0043】加算器35は、補償器34の出力値と直流電源11の最大電力時の電圧 E_{pvn} とを加算する回路であり、その出力である制御信号S3はゲート回路42に供給される。かかる制御信号S3は、直流電源11の最大電力時の電圧 E_{pvn} を、現在の出力電流の検出値 m 及び出力電流の波高値の目標値 I_{peak} に基づいて補正した直流信号である。

【0044】正弦波生成器36は、正弦波 \sin を生成する回路であり、その周波数としては系統電源19の周波数と実質的に一致させられる。

【0045】乗算器37は、正弦波生成器36の出力で

ある正弦波 \sin と出力電流の波高値の目標値 I_{peak} とを乗じる回路であり、その出力である出力電流の目標値 m' は減算器38に供給される。

【0046】減算器38は、乗算器37の出力である出力電流の目標値 m' から出力電流モニタMの検出値 m を減算する回路であり、その出力は補償器39に供給される。

【0047】補償器39は、制御性能の改善と安定化を図るための回路であり、例えば、増幅器を用いることができる。

【0048】加算器40は、補償器39の出力値と出力電圧 V_o の検出値とを加算する回路であり、その出力である制御信号S1はゲート回路42に供給される。かかる制御信号S1は、系統電源19の電圧波形を、現在の出力電流の検出値 m 及び出力電流の波高値の目標値 I_{peak} に基づいて補正した正弦波信号である。

【0049】搬送波発生回路41は、搬送波S2を発生する回路であり、かかる搬送波S2はゲート回路42に供給される。搬送波S2の周波数は、系統電源19の周波数よりも十分に高く設定され、特に限定されるものではないが、約16KHz程度に設定することが好ましい。

【0050】ゲート回路42は、制御信号S1、制御信号S3及び搬送波S2を受け、制御信号S1と搬送波S2を比較することによって昇降圧コンバータ制御信号 c_1 及び c_2 を生成するとともに、制御信号S3と搬送波S2を比較することによって昇降圧コンバータ制御信号 c_3 及び c_4 を生成する回路である。その詳細については後述する。

【0051】昇降圧コンバータ駆動回路43は、昇降圧コンバータ制御信号 $c_1 \sim c_4$ を増幅して昇降圧コンバータ駆動信号C1～C4を生成し、これらを第1乃至第4のトランジスタQ1～Q4のゲートにそれぞれ供給することにより昇降圧コンバータ13を駆動する回路である。したがって、昇降圧コンバータ駆動回路43には、それぞれ昇降圧コンバータ制御信号 $c_1 \sim c_4$ を受け昇降圧コンバータ駆動信号C1～C4を出力する4つのバッファ回路が含まれている。

【0052】図3は、インバータ制御回路22の構成を概略的に示すブロック図である。

【0053】図3に示されるように、インバータ制御回路22は、出力電圧 V_o を受けてインバータ制御信号 $c_5 \sim c_8$ を生成するインバータ制御信号生成回路51と、インバータ制御信号 $c_5 \sim c_8$ を受けてインバータ駆動信号C5～C8を生成するインバータ駆動回路52とを備える。

【0054】インバータ制御信号生成回路51は、出力電圧 V_o の極性を検出し、これに基づいてインバータ制御信号 $c_5 \sim c_8$ を生成する。より具体的には、出力電圧 V_o の極性が正である場合には、インバータ制御信号

c 5 及び c 8 をハイレベル、インバータ制御信号 c 6 及び c 7 をローレベルとし、逆に、出力電圧 V_o の極性が負である場合には、インバータ制御信号 c 6 及び c 7 をハイレベル、インバータ制御信号 c 5 及び c 8 をローレベルとする。

【0055】インバータ駆動回路 52 は、インバータ制御信号 c 5 ~ c 8 を増幅してインバータ駆動信号 C 5 ~ C 8 を生成し、これらを第 5 ~ 第 8 のトランジスタ Q 5 ~ Q 8 のゲートにそれぞれ供給することによりインバータ 15 を駆動する回路である。したがって、インバータ駆動回路 52 には、それぞれインバータ制御信号 c 5 ~ c 8 を受けインバータ駆動信号 C 5 ~ C 8 を出力する 4 つのバッファ回路が含まれている。

【0056】次に、本実施態様にかかる系統連系インバータ 10 の動作について説明する。

【0057】上述の通り、本実施態様にかかる系統連系インバータ 10 に含まれる昇降圧コンバータ 13 は、直流電源 11 からの入力電圧 E_{pv} が系統電源 19 の電圧 V_o の絶対値よりも低い場合には昇圧動作を行い、直流電源 11 からの入力電圧 E_{pv} が系統電源 19 の電圧 V_o の絶対値よりも高い場合には降圧動作を行う。昇降圧コンバータ 13 に対する昇圧制御及び降圧制御は、第 1 のトランジスタ Q 1 のデューティ d_1 と第 3 のトランジスタ Q 3 のデューティ d_3 の比を制御することによって行われる。次式は、これを説明するための式である。

$$e_B = (E_{pv} \times d_1) / d_3 \quad (1)$$

式 (1) において、 e_B は昇降圧コンデンサ 13 の出力電圧、すなわち、中間コンデンサ 14 の両端電圧である。

【0059】式 (1) から明らかなように、昇降圧コンデンサ 13 の出力電圧 e_B は、第 1 のトランジスタ Q 1 のデューティ d_1 と第 3 のトランジスタ Q 3 のデューティ d_3 の比によって決まり、第 1 のトランジスタ Q 1 のデューティ d_1 の方が第 3 のトランジスタ Q 3 のデューティ d_3 よりも大きい場合には昇圧動作、逆に、第 3 のトランジスタ Q 3 のデューティ d_3 の方が第 1 のトランジスタ Q 1 のデューティ d_1 よりも大きい場合には降圧動作となる。

【0060】次に、第 1 のトランジスタ Q 1 のデューティ d_1 及び第 3 のトランジスタ Q 3 のデューティ d_3 の決定方法について説明する。

【0061】図 4 は、制御信号 S 1 のレベルが制御信号 S 3 のレベルよりも高い状態におけるゲート回路 42 の動作を示すタイミング図であり、直流電源 11 からの入力電圧 E_{pv} が系統電源 19 の電圧 V_o の絶対値よりも低い場合にこのような状態となる。尚、図 4 は、非常に短い期間を拡大して示していることから、実質的に正弦波である制御信号 S 1 のレベルは直線的に示されている。

【0062】図 4 に示されるように、ゲート回路 42 は、制御信号 S 1 と搬送波 S 2 を比較し、制御信号 S 1 が搬送波 S 2 よりも高い期間においては昇降圧コンバータ制御信号 c 1 をハイレベルとし、逆に、制御信号 S 1 が搬送波 S 2 よりも低い期間においては昇降圧コンバータ制御信号 c 2 をハイレベルとする。さらに、ゲート回路 42 は、制御信号 S 3 と搬送波 S 2 を比較し、制御信号 S 3 が搬送波 S 2 よりも高い期間においては昇降圧コンバータ制御信号 c 3 をハイレベルとし、逆に、制御信号 S 3 が搬送波 S 2 よりも低い期間においては昇降圧コンバータ制御信号 c 4 をハイレベルとする。

【0063】これにより、昇降圧コンバータ制御信号 c 1 と c 2 は互いに逆相信号となり、昇降圧コンバータ制御信号 c 3 と c 4 は互いに逆相信号となるので、第 1 及び第 2 のトランジスタ Q 1、Q 2 からなるアームと、第 3 及び第 4 のトランジスタ Q 3、Q 4 からなるアームは、いずれも同時に PWM 駆動されることになる。但し、第 1 のトランジスタ Q 1 と第 2 のトランジスタ Q 2 が同時にオンしたり、第 3 のトランジスタ Q 3 と第 4 のトランジスタ Q 4 が同時にオンすることがないように、昇降圧コンバータ制御信号 c 1 と c 2 の間及び昇降圧コンバータ制御信号 c 3 と c 4 の間にはデッドタイムが挿入される。

【0064】このような動作が行われることから、制御信号 S 1 のレベルが制御信号 S 3 のレベルよりも高い状態においては、第 1 のトランジスタ Q 1 のデューティ d_1 の方が第 3 のトランジスタ Q 3 のデューティ d_3 よりも必然的に大きくなり、昇降圧コンバータ 13 は昇圧動作を行う。昇降圧コンバータ 13 が昇圧動作を行う場合、図 4 に示されるように、第 1 乃至第 4 のトランジスタ Q 1 ~ Q 4 の導通状態としては、第 1 のトランジスタ Q 1 と第 3 のトランジスタ Q 3 がオンしている状態（状態 1）、第 1 のトランジスタ Q 1 と第 4 のトランジスタ Q 4 がオンしている状態（状態 3）及び第 2 のトランジスタ Q 2 と第 4 のトランジスタ Q 4 がオンしている状態（状態 4）を繰り返すことになる。昇降圧コンバータ 13 が昇圧動作を行う場合には、第 2 のトランジスタ Q 2 と第 3 のトランジスタ Q 3 がオンしている状態（状態 2）は存在しない。

【0065】図 5 は、制御信号 S 1 のレベルが制御信号 S 3 のレベルよりも低い状態におけるゲート回路 42 の動作を示すタイミング図であり、直流電源 11 からの入力電圧 E_{pv} が系統電源 19 の電圧 V_o の絶対値よりも高い場合にこのような状態となる。尚、図 5 は、非常に短い期間を拡大して示していることから、実質的に正弦波である制御信号 S 1 のレベルは直線的に示されている。

【0066】図 5 に示されるように、制御信号 S 1 のレベルが制御信号 S 3 のレベルよりも低い状態においては、第 3 トランジスタ Q 3 のデューティ d_3 の方が第 1

のトランジスタQ1のデューティd1よりも必然的に大きくなり、昇降圧コンバータ13は降圧動作を行う。昇降圧コンバータ13が降圧動作を行う場合、図5に示されるように、第1乃至第4のトランジスタQ1～Q4の導通状態としては、第1のトランジスタQ1と第3のトランジスタQ3がオンしている状態（状態1）、第2のトランジスタQ2と第3のトランジスタQ3がオンしている状態（状態2）及び第2のトランジスタQ2と第4のトランジスタQ4がオンしている状態（状態4）を繰り返すことになる。昇降圧コンバータ13が昇圧動作を行う場合には、第1のトランジスタQ1と第4のトランジスタQ4がオンしている状態（状態3）は存在しない。

【0067】図6（a）～（d）は、それぞれ状態1～状態4における系統連系インバータ10の等価回路図である。

【0068】図6から明らかなように、状態1と状態3が繰り返される場合、昇降圧コンバータ13の出力電圧は直流電源11からの入力電圧E_pvよりも高くなり

（昇圧動作）、状態1と状態2が繰り返される場合、昇降圧コンバータ13の出力電圧は直流電源11からの入力電圧E_pvよりも低くなる（降圧動作）。

【0069】以上説明した動作により、昇降圧コンバータ13の出力端間の電圧波形は脈流波形となって系統電源19の電圧の絶対値と実質的に一致し、これがインバータ15によって正弦波に変換された後、系統電源19に供給される。

【0070】このように、本実施態様によれば、昇降圧コンバータ13を構成する第1～第4のトランジスタQ1～Q4のオン／オフは、制御信号S1及びS3と搬送波S2とを比較することにより決定されることから、昇降圧コンバータ13による降圧動作と昇圧動作との切り替えが自動的に行われることになり、昇圧動作と降圧動作の切り替わりをスムーズに行うことができる。

【0071】また、本実施態様においては、中間コンデンサ14は昇降圧コンバータ13が昇圧動作を行う際に発生するリップル電流を吸収すればよいことから、その容量値としては数μF～数十μF程度でよく、小型なフィルムコンデンサを用いることができる。これにより、系統連系インバータ10全体を小型化することが可能となる。また、上述の通り、フィルムコンデンサは電解コンデンサと比べてその寿命が非常に長いことから、本実施態様にかかる系統連系インバータ10の信頼性が大幅に高められる。

【0072】本発明は、以上の実施態様に限定されなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0073】例えば、上記実施態様にかかる系統連系インバータ10を自立運転させる場合には、昇降圧コンバ

ータ制御回路21に供給される出力電流モニタMの検出値mの代わりに出力電圧V_oを用い、出力電圧V_oの代わりに出力電圧の目標値を用いればよい。

【0074】

【発明の効果】以上説明したように、本発明によれば、簡単な制御によって昇圧動作と降圧動作を行うことができる昇降圧コンバータ及びこれを用いた系統連系インバータを提供することが可能となる。また、本発明によれば、小型であり且つ信頼性の高い系統連系インバータを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の好ましい実施態様にかかる系統連系インバータ10の回路図である。

【図2】昇降圧コンバータ制御回路21の構成を概略的に示すブロック図である。

【図3】インバータ制御回路22の構成を概略的に示すブロック図である。

【図4】制御信号S1のレベルが制御信号S3のレベルよりも高い状態におけるゲート回路42の動作を示すタイミング図である。

【図5】制御信号S1のレベルが制御信号S3のレベルよりも低い状態におけるゲート回路42の動作を示すタイミング図である。

【図6】（a）～（d）は、それぞれ状態1～状態4における系統連系インバータ10の等価回路図である。

【図7】従来の系統連系インバータの回路図である。

【符号の説明】

- 10 系統連系インバータ
- 11 直流電源
- 13 昇降圧コンバータ
- 14 中間コンデンサ
- 15 インバータ
- 16 制御回路
- 17 平滑回路
- 18 交流負荷
- 19 系統電源
- 21 昇降圧コンバータ制御回路
- 22 第2の昇降圧コンバータ制御回路
- 31 全波整流器
- 32 ピーク電圧検出回路
- 33 減算器
- 34 補償器
- 35 加算器
- 36 正弦波生成器
- 37 乗算器
- 38 減算器
- 39 補償器
- 40 加算器
- 41 搬送波発生回路
- 42 ゲート回路

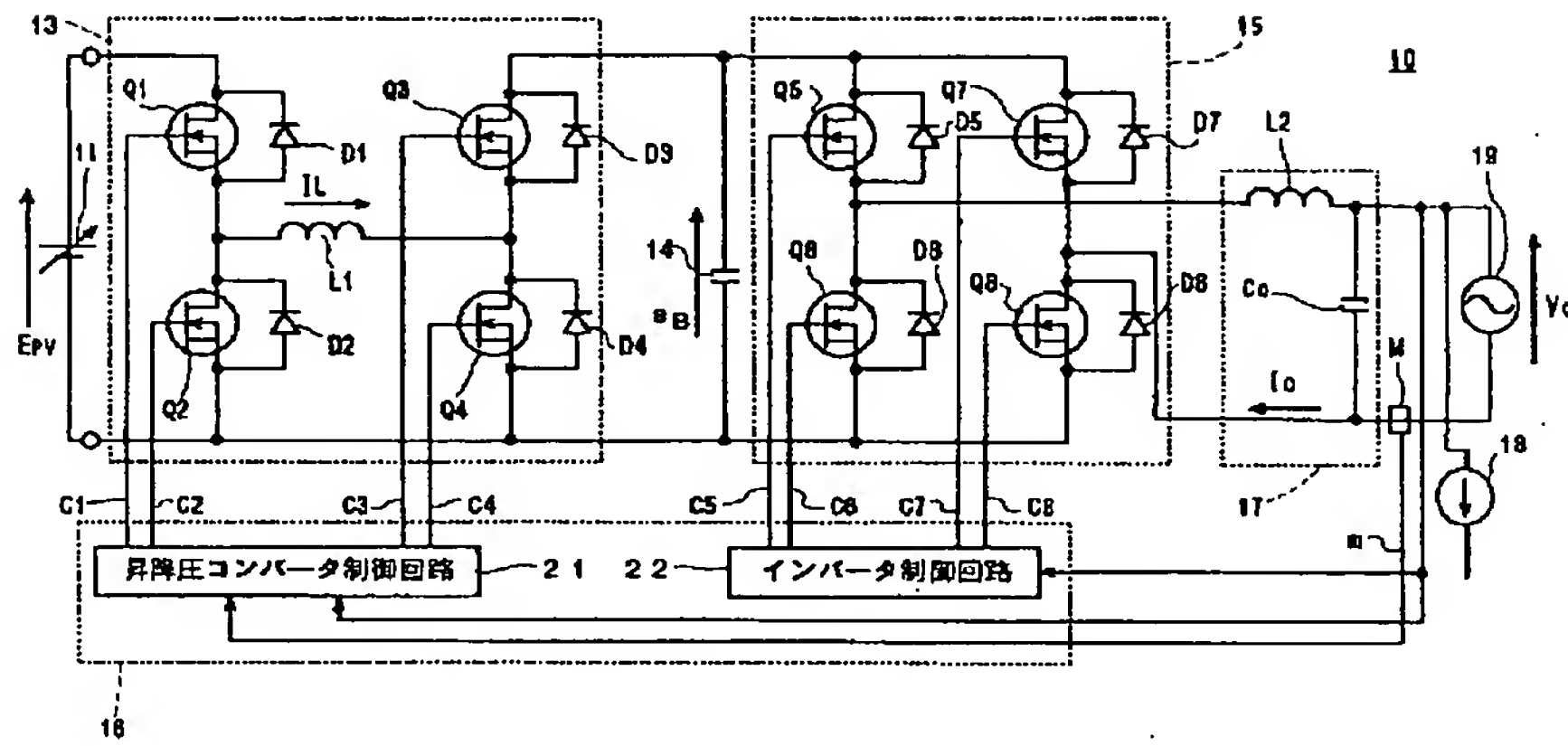
4 3 昇降圧コンバータ駆動回路

* 5 2 インバータ駆動回路

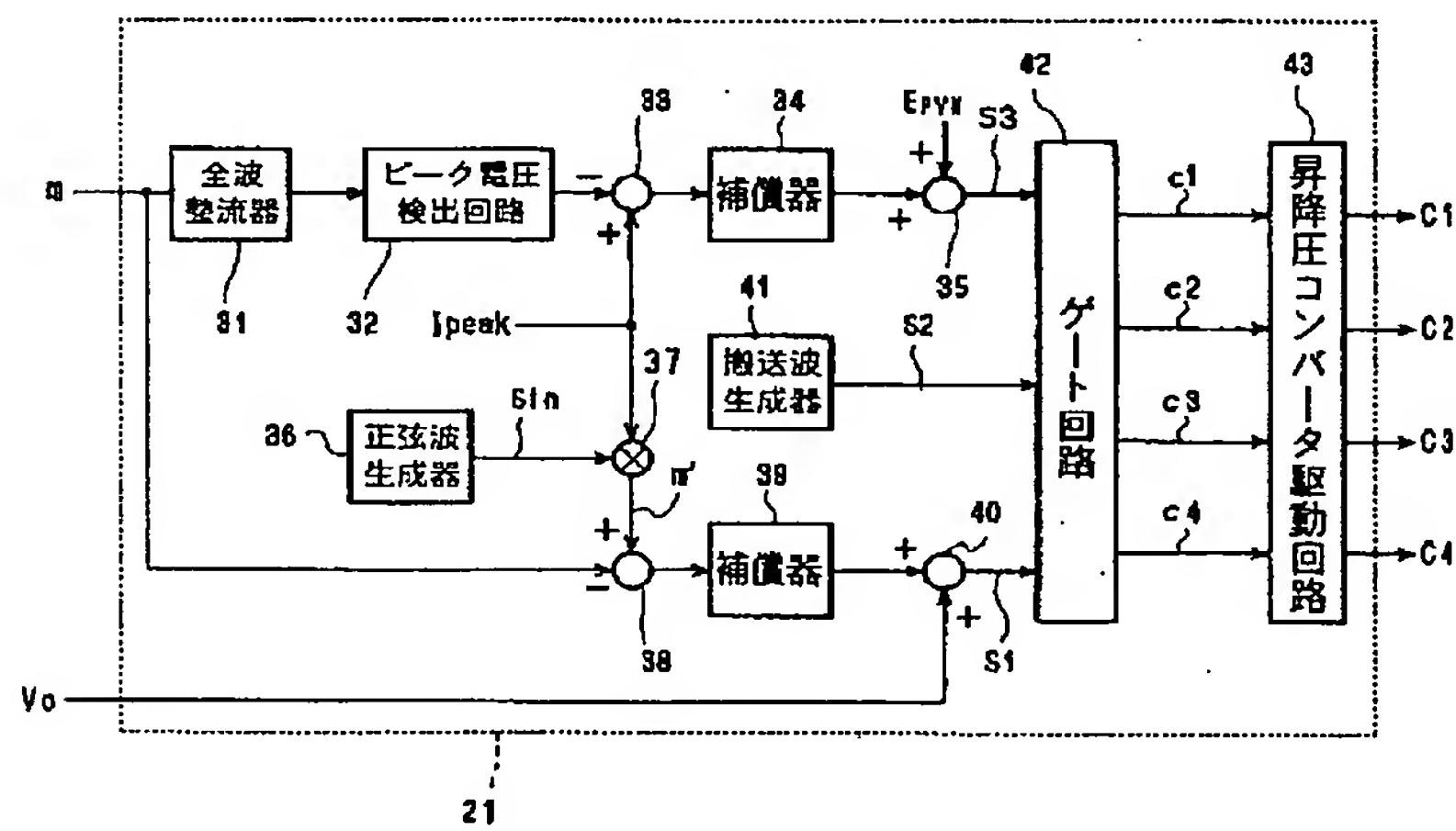
5 1 制御信号生成回路

*

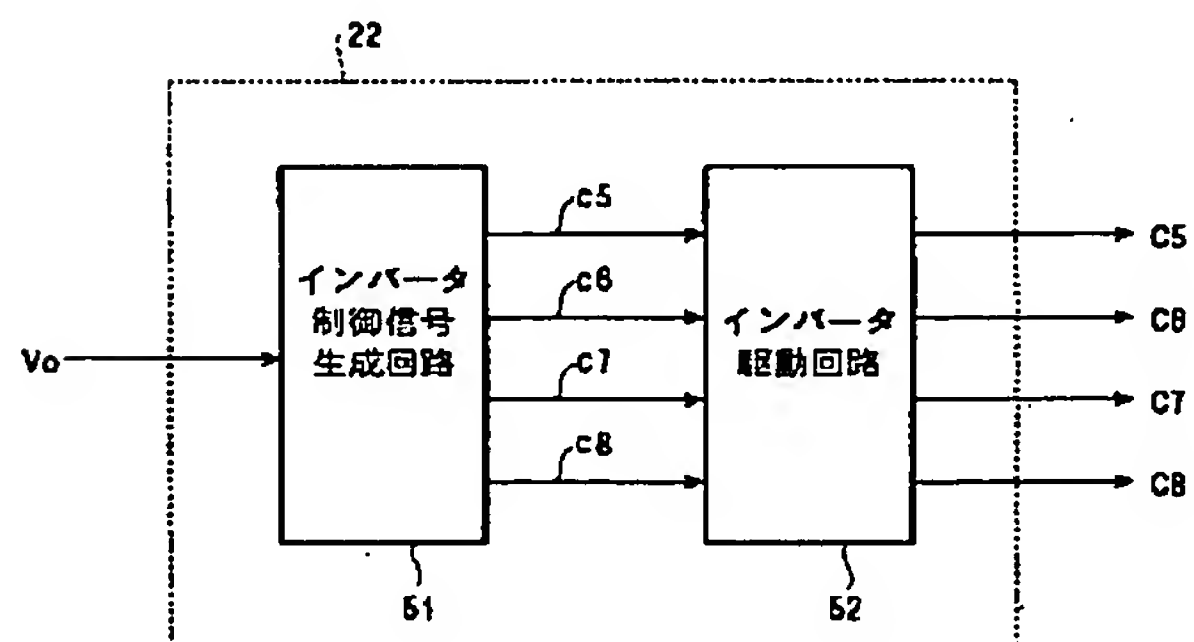
【図1】



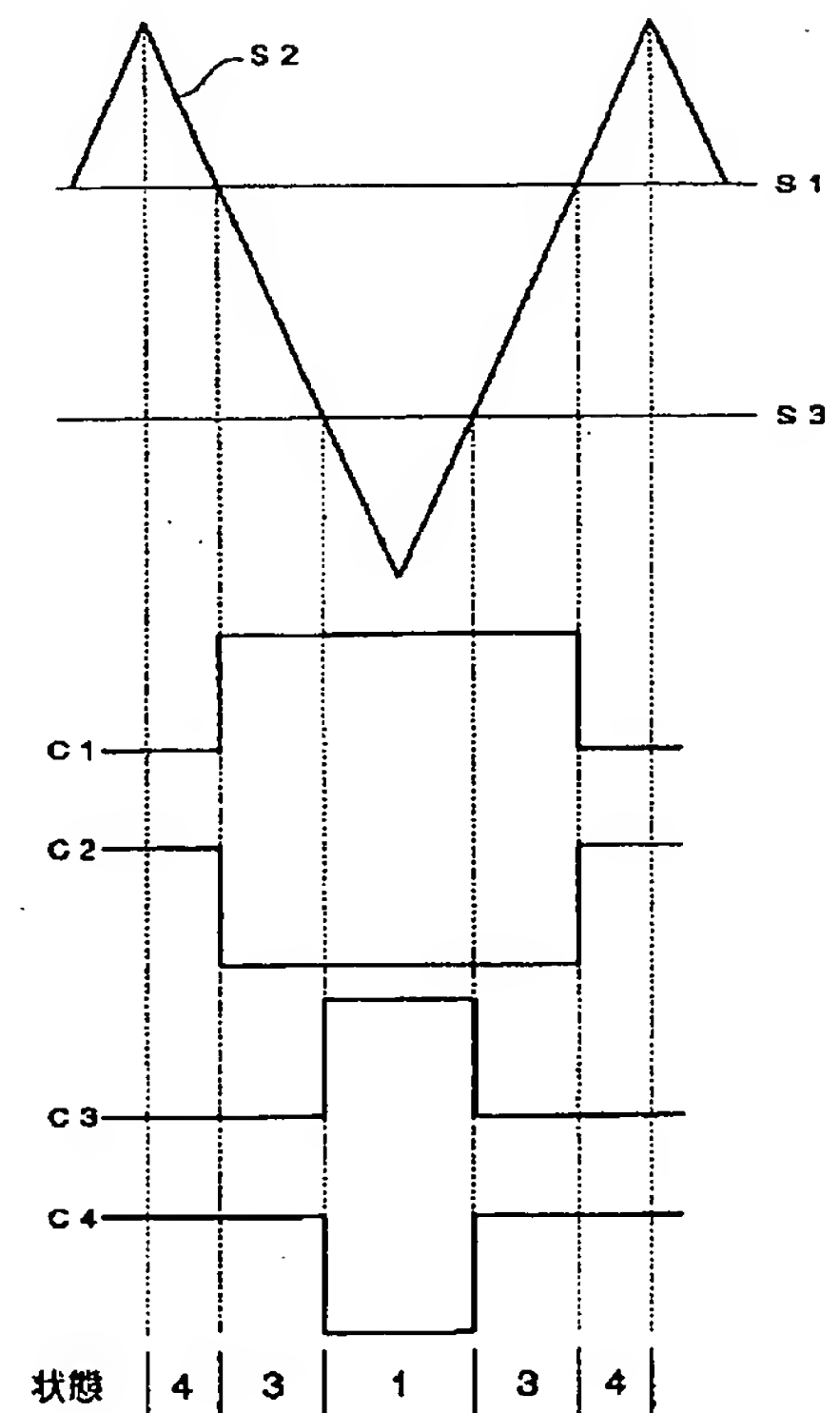
【図2】



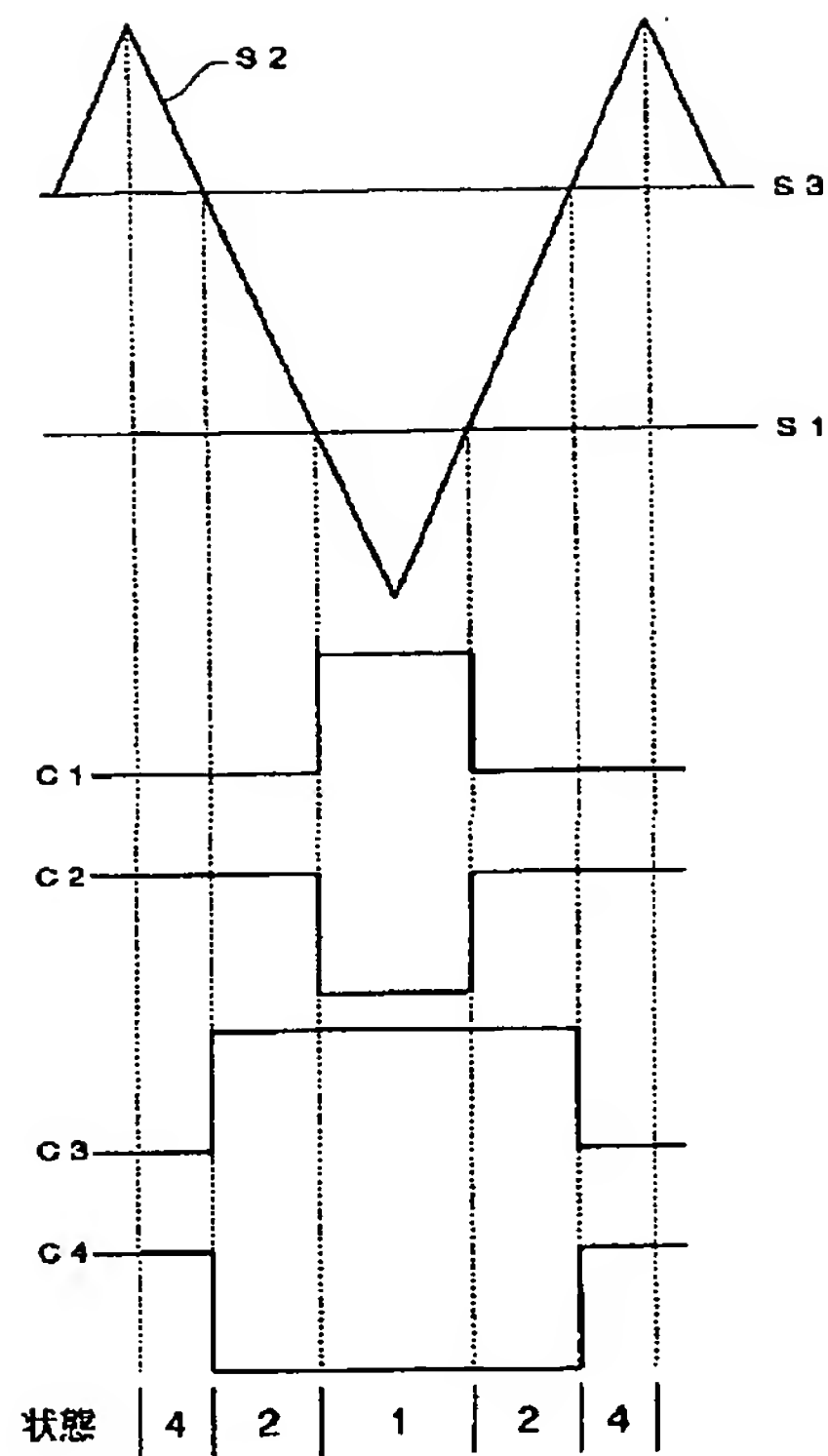
【図3】



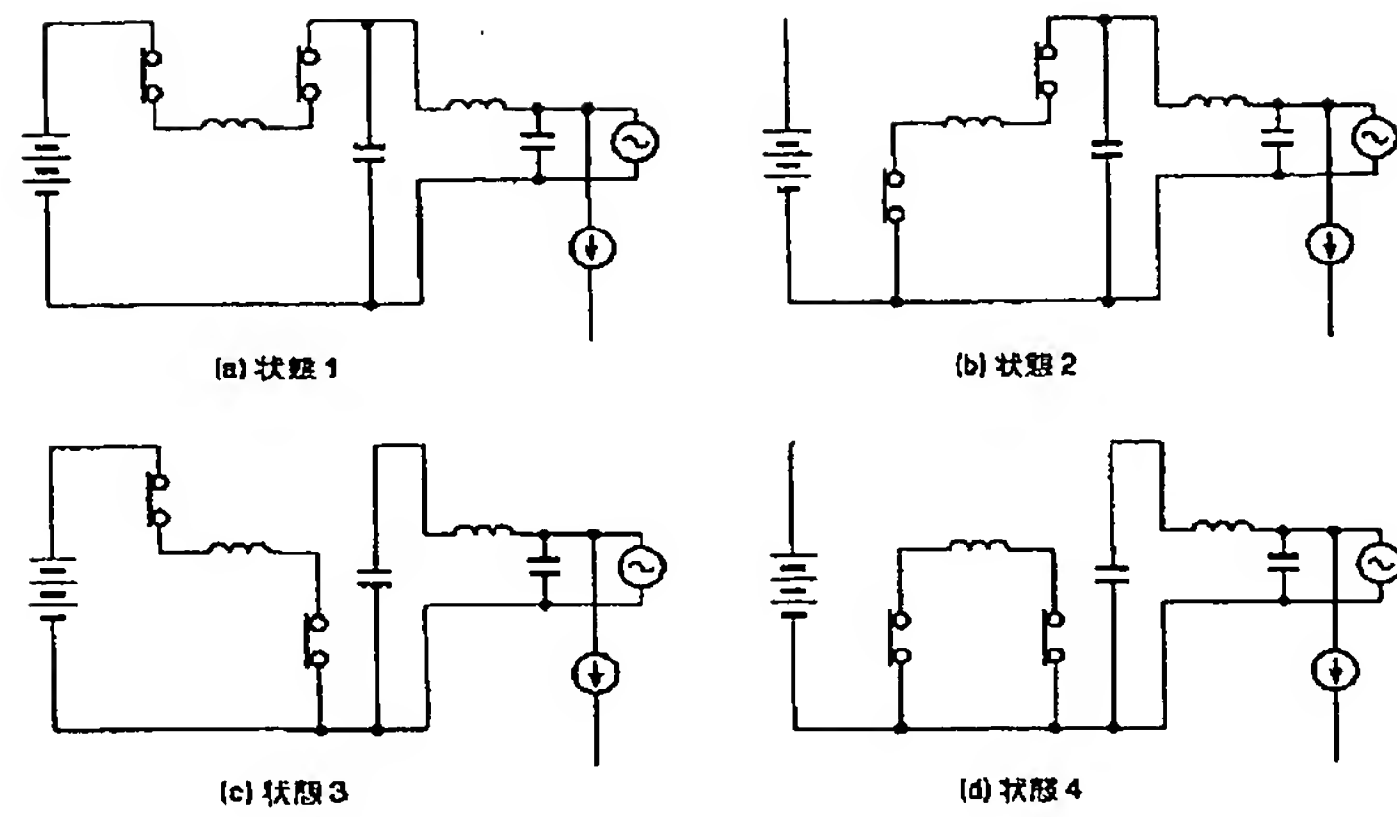
【図4】



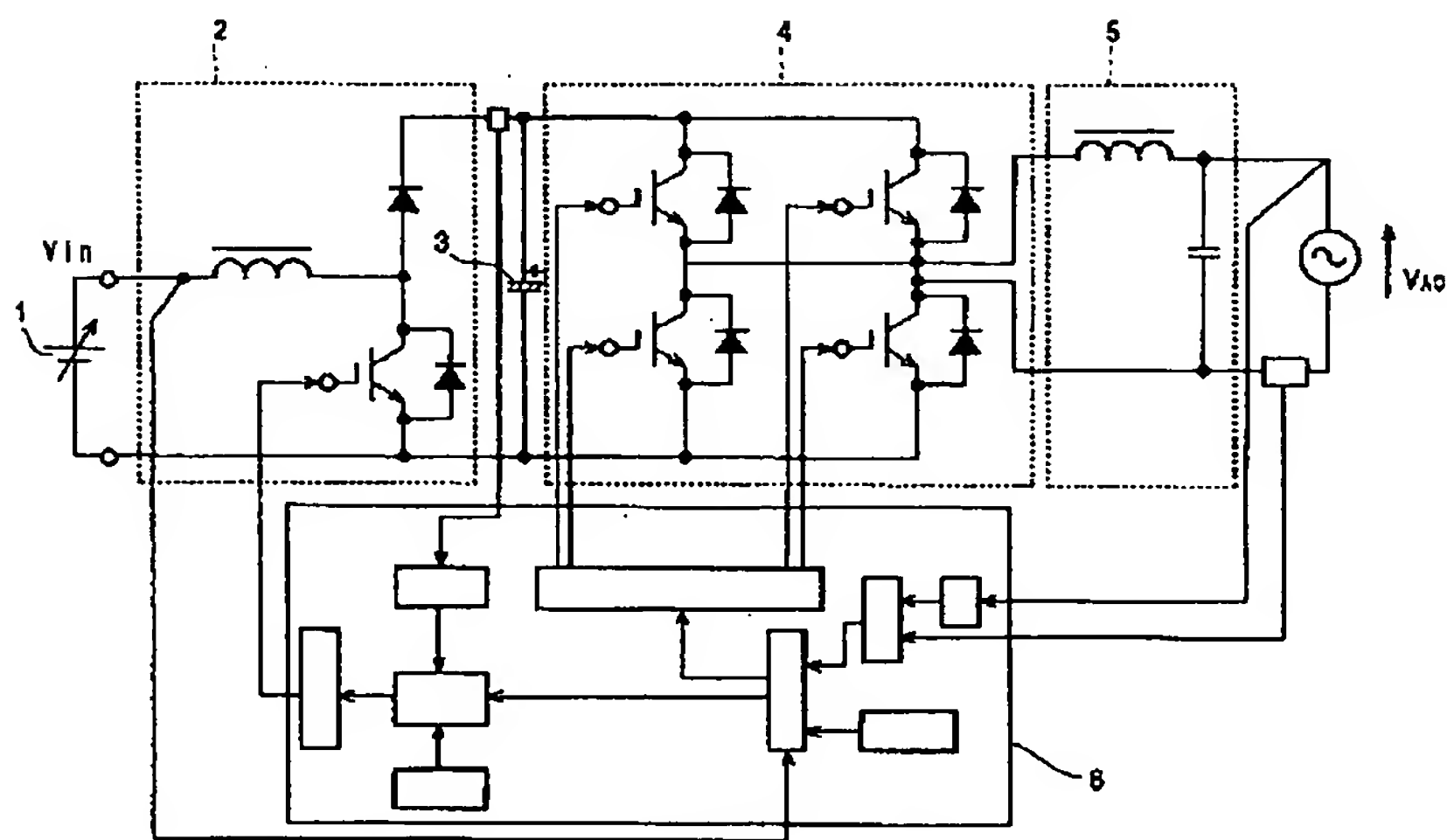
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5H007 AA06 BB07 CA02 CB05 CC07
CC09 CC12 DA03 DA06 DB01
DC02 DC05 EA01 EA02 EA15
5H730 AA15 BB13 BB14 BB81 BB86
DD04 EE59 FD01 FD31 FF02
FG05 FG16